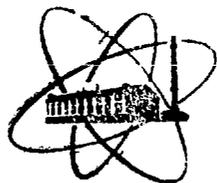


80760

ФЭИ-542



ФИЗИКО-ЭНЕРГЕТИЧЕСКИЙ ИНСТИТУТ

*В. М. ЛЫТКИНА, А. А. ЛЫЧАГИН,
А. Н. МИРОНОВ, В. С. НЕСТЕРЕНКО*

E42

**ЛОГИЧЕСКОЕ УСТРОЙСТВО ТРЕХМЕРНОГО
АНАЛИЗА ЯДЕРНОЙ РЕАКЦИИ ($n, 2n$)**

Обнинск — 1974

ФЭИ - 542

ФИЗИКО-ЭНЕРГЕТИЧЕСКИЙ ИНСТИТУТ

В.М.Лыткина, А.А.Лычагин,
А.Н.Мионов, В.С.Нестеренко

ЛОГИЧЕСКОЕ УСТРОЙСТВО ТРЕХМЕРНОГО
АНАЛИЗА ЯДЕРНОЙ РЕАКЦИИ ($n, 2n$)

Обнинск-1974

УДК 681.335.713

М-17

Аннотация

Описывается логическое устройство, предназначенное для обеспечения трехмерного пространственно-временного анализа ядерной реакции ($n, 2n$). Приводятся принципиальные схемы узлов устройства и временные диаграммы его работы.

© Физико-энергетический институт, 1974 г.

Введение.

Одним из методов интенсификации научных исследований, направленных на повышение эффективности использования оборудования и улучшение качества научной информации, являются многодетекторные измерения ядерно-физических процессов. Этот метод позволяет не только увеличить количество информации, получаемой в единицу времени, при снижении экономических затрат на её приобретение, но и обогатить её содержание.

Именно этими качествами обладает измерительная система для исследования реакции ($n, 2n$), разрабатываемая в ФЭИ. В её основе лежит измерение энергии вторичных нейтронов по времени пролета и определение относительного и абсолютного углов вылета их с образца. Последнее достигается использованием 6 детекторов, расположенных под различными углами относительно падающего пучка, что позволяет рассматривать $C_6^2 = 15$ двумерных спектров нейтронов. Снижение экономических затрат достигается за счет использования одной и той же пары временных АЦП для измерения всех 15 двумерных спектров, а содержание информации улучшается, благодаря возможности учесть некоррелированный и частично коррелированный фон при обработке результатов измерения. Принципиально необходимым и наиболее ответственным звеном этой системы является логическое устройство, обеспечивающее режим трехмерного анализа спектров с использованием лишь двух АЦП.

Данная работа посвящена описанию такого устройства, созданного для использования его в системе на базе измерительного центра ФЭИ.

Глава I.

НАЗНАЧЕНИЕ ЛОГИЧЕСКОГО УСТРОЙСТВА

Блок быстрой логики ЭКСТАС-I (экспериментальная камасовская система трехмерного анализа спектров) предназначен для использования в системе измерений пространственно-временных спектров вторичных нейтронов реакции ($n, 2n$) по методике времени пролета. Источником нейтронов является нейтронный генератор ЭКГ-0,3, работающий в непрерывном режиме. На ЭКСТАС-I подается импульс "стоп", сформированный из сигнала детектора, регистрирующего сопутствующие частицы и отмечающего момент рождения нейтронов, и импульсы с 6 нейтронных детекторов, отмечающие моменты регистрации вторичных нейтронов (см. рис. I).

В регистрируемом трехмерном спектре координаты X и Y представляют собой времена пролета пары вторичных нейтронов. Координата Z представляет собой номер пары детекторов, зарегистрировавших нейтроны; т.е., координата Z является пространственной и несет информацию об углах вылета пары нейтронов и угле между нейтронами в паре. Нужное быстродействие достигается путем использования в качестве его элементной базы интегральных логических схем серии I37. ИБ — ИЛМ.

Особенности логического устройства.

Особенности структуры и технической реализации логического устройства связаны с функциональным назначением его в общей системе электроники и с целесообразностью совмещения разнородных функций, выполняемых составными элементами.

Логическое устройство предназначено для приема сигналов с 6 нейтронных детекторов, идентификации появления ровно двух сигналов, принадлежащих одному акту рассеяния, выработки сигнала управления, разрешающего регистрацию, формирования двоичного кода номера пары детекторов, с которых приняты сигналы, и распределения этих сигналов по двум АЦП.

В момент времени прихода детекторных сигналов, всеоб-

говора, не совпадают, необходимо запоминание пространственной информации. Для этой цели требуется шестизрядный запоминачий регистр, содержание которого изменяется по окончании анализа и регистрации данного события (рис. 2).

События, которые состоят из импульсов, пришедших за время T после сигнала "стоп" более чем с двух детекторов, необходимо отбрасывать. Отбор таких событий производится с помощью специальной схемы, называемой "идентификатором тройных совпадений" (ИТС) (рис. 3). Формирование основного сигнала управления регистрацией ("заявка") осуществляется только в том случае, когда в течение времени T поступают сигналы с двух различных детекторов.

Построение схемы ИТС является достаточно сложной задачей в плане оптимальной реализации её логической функции. ИТС представляет собой пороговую схему, дизъюнктивная нормальная форма (ДНФ) которой имеет вид:

$$y = \underbrace{x_1 \cdot x_2 \cdot x_3 + x_1 \cdot x_2 \cdot x_4 + x_1 \cdot x_2 \cdot x_5 + \dots + x_4 \cdot x_5 \cdot x_6}_{C_6^3 = 20 \text{ слагаемых}}$$

Для реализации данной ДНФ на элементах ИБ - И необходимо:
для 6 детекторов - 24 элемента,
для 10 детекторов - 150 элементов.

Такой способ построения схемы ИТС не является минимальным в смысле количества используемых элементов. Поэтому в устройстве используется другой метод построения ИТС, который дает существенную экономию материальных компонентов. Так, при 6 детекторных входах для построения ИТС по этому методу требуется 17 логических элементов; при 10 детекторных входах требуется 34 элемента.

Сущность метода состоит в том, что схема ИТС строится в виде двухступенчатого дешифратора. Элементы ИБ - ИМ первой ступени объединяются попарно выходами (см. рис. 3) и т.о. на выходе каждой такой пары реализуется функция:

$$(x_i + \dots + x_j) \cdot (x_k + \dots + x_l) = (x_i + \dots + x_j) \cdot (x_k + \dots + x_l) = \sum_{i=1}^n \sum_{j=1}^n x_i \cdot x_j$$

- где: $\alpha = i, \dots, j$ - индексы входных сигналов первого элемента в паре ;
 $\beta = k, \dots, l$ - индексом входных сигналов второго элемента в паре, причем $\alpha \neq \beta$.

Входы первой ступени дешифратора скоммутированы таким образом, что каждая конъюнкция $x_m \cdot x_h$ (где $m, h = 1, \dots, n$, n - число детекторов) реализуется ровно на одном из выходов первой ступени. Поэтому если на трех выходах регистра выставлена "1", то нулевой уровень установится не менее чем на 2 выходах первой ступени дешифратора. Все элементы второй ступени объединены по выходу. На вход каждого из них подается два выхода первой ступени и, если на каких-либо двух выходах первой ступени уровни "0", то на выходе ИТС выдается уровень "1", запрещающий выработку заявки.

Например, если $X1 = X2 = X3 = 1$; $X4 = X5 = X6 = 0$, на выходах схем 844/1 - 2 и 848/1 - 2 появляется уровень "0". Т.к. на все входы схемы 845/2 подан уровень "0", то на выходе ИТС будет "1".

Существенной частью логического устройства ЭКСТАС-1 является схема формирования входных стартовых сигналов двух АЦП, осуществляющих измерение времени пролета нейтронов и кодирование информации по координатам X и Y.

Особенности этой части связаны с необходимостью, с одной стороны, запоминания моментов появления сигналов с детекторов вплоть до получения сигнала "заявка" и обеспечения однозначного соответствия координаты X или Y определенному детектору при заданной координате Z, с другой стороны. Информация заданного детектора может регистрироваться как по координате X, так и по координате Y в зависимости от того, с каким из оставшихся 5 детекторов образует пару данный детектор. Сохранение временной информации, содержащейся в сигнале с детектора, требует определенной симметрии схемы в смысле равенства задержек сигналов по цепям их передачи в АЦП, а также принятия мер по помехозащищенности. Большое значение имеет выбор алгоритма, по которому координаты X и Y связываются с номером детектора в зависимости от значения номера

пары z . Алгоритм соответствия важен для составления программы последующей обработки полученного спектра, но с точки зрения функционирования логики его выбор обладает достаточной степенью произвола, что позволяет осуществить такой выбор, который даст возможность минимизировать количество используемых элементов с учетом симметрии схемы. Весьма существенной остается проблема запоминания временной информации. Единственным запоминающим элементом, обладающим достаточной помехозащищенностью, стабильностью и быстродействием, является В4-кабель. Время задержки сигнала с каждого детектора должно быть не менее T , поэтому для каждого детекторного входа требуется отрезок кабеля значительной длины. Кроме того, в этом варианте необходима специальная схема коммутации задержанных детекторных сигналов на входы двух АЦП.

Недостатком такой системы, помимо громоздкости, является низкая помехозащищенность. Эти недостатки устраняются путем распределения детекторных сигналов по двум выходам блока формирования сигналов АЦП (БФС) (рис. 4) таким образом, что на одном из них появляется всегда первый, на другом - второй из любой пары детекторных сигналов. В этом случае появится возможность разделить цепи коммутации и формирования стартовых сигналов, что существенно повысит помехозащищенность.

Задавись простым алгоритмом соответствия координат X и Y (по координате X всегда регистрируется сигнал детектора, имеющего меньший порядковый номер в паре), получим, что последующая коммутация выходных сигналов АЦП может быть осуществлена единственным триггером, состояние которого определяется соответствием или несоответствием первого приведенного сигнала детектору с меньшим номером в паре.

Особенностью такой схемы являются высокие требования к временному разрешению порядка поступления детекторных сигналов. Ошибка не должна превышать ширины одного канала (~ 1 нсек).

Определение порядка поступления сигналов осуществляется с помощью так называемых приоритетных дискриминаторов (ПД1 - ПД5), построенных по схеме блокированного триггера (см. рис. 4). Собственное разрешение такого приоритетного дискри-

минатора составляет 10 Псек

Измерения временных интервалов и регистрации должны начинаться только спустя время T после прихода импульса "отоп" и при условии получения сигнала, разрешающего регистрацию. Следовательно, необходимо запоминание стартовых сигналов АЦП на время не менее T . С приходом измеряемого интервала АЦП на определенное время входит в режим ожидания сигнала управления осуществив нормальное преобразование при его появлении и прекращая при отсутствии; измерительная серия появляется со значительной задержкой по отношению к концу измеряемого интервала. Благодаря этому появляется возможность осуществить запоминание в самих АЦП. В этом случае один из АЦП всегда принимает первый из двух детекторных сигналов, а другой - второй, но их измерительные серии коммутируются по адресным счетчикам X и Y в зависимости от состояния триггера коммутации.

Такой алгоритм работы АЦП позволяет вообще избежать применения лабелей задержки и существенно упростить цепи формирования временных сигналов.

Формирование пространственной координаты события (Z - координата спектра) производится блоком, называемым "кодировщик номера пары". Каждой паре детекторов соответствует параллельный двоичный код номера пары. n детекторов составляют $C_n^2 = \frac{n \cdot (n-1)}{2}$ пар. Минимальная длина кода номера пары при условии, что нулевой код не используется, составляет:

$$l_{min} \begin{cases} \lceil \log_2 \{C_n^2 + 1\} \rceil; & \text{если } \log_2 \{C_n^2 + 1\} = \lceil \log_2 \{C_n^2 + 1\} \rceil \\ \lceil \log_2 \{C_n^2 + 1\} \rceil + 1; & \text{если } \log_2 \{C_n^2 + 1\} \neq \lceil \log_2 \{C_n^2 + 1\} \rceil \end{cases}$$

n	:	3	:	4	:	5	:	6	:	7	:	8	:	9	:	10	:	12	:	16
l_{min}	:	2	:	3	:	4	:	4	:	5	:	5	:	6	:	6	:	7	:	7

С целью облегчения адресации обеспечена минимальная длина кода номера пары в случае использования 2, 3, 4, 5, 6 детек-

торов.

При произвольном выборе соответствия пар и кода булевы функции для i -го разряда кода будут иметь вид:

$$z_i = \sum_j \sum_k x_{ij} \cdot x_{ik}$$

Для её реализации на элементах НЕ - ИЛИ 137 серии при $n = 6$ требуется 31 элемент, при $n = 10$ - не менее 69 элементов. Однако существует возможность путем специального выбора соответствия кода и пар добиться снижения количества элементов, проходящих на разряд кода. В предлагаемом варианте используется объединение по выходу схем 137 серии, реализующее функцию:

$$z = \overline{(x_1 + \dots + x_j)} + \overline{(x_k + \dots + x_l)} = \overline{(x_1 + \dots + x_j)} \cdot \overline{(x_k + \dots + x_l)}$$

Булевы выражения для разрядов данного устройства имеют вид:

$$z_1 = (x_2 + x_4) \cdot (x_1 + x_3 + x_5 + x_6)$$

$$z_2 = (x_1 + x_2) \cdot (x_3 + x_4 + x_5 + x_6)$$

$$z_3 = (x_4 + x_6) \cdot (x_1 + x_2 + x_3 + x_5)$$

$$z_4 = (x_5 + x_6) \cdot (x_1 + x_2 + x_3 + x_4)$$

Таблица истинности для этих выражений:

	1,2:1,3:	1,4:1,5:	1,5:2,3:2,4:2,5:2,6:3,4:3,5:3,6:4,5:4,6:5,6
1	0	1	0 0 1 0 1 0 1 1 1 0 0 1 1 0
0	1	1	1 1 1 1 1 1 1 1 1 0 0 0 0 0
0	0	1	0 1 0 1 0 1 0 1 1 0 1 1 0 1
0	0	0	1 1 0 0 1 1 0 1 1 0 1 1 1 0

Схему КНД см. на рис. 5.

Для реализации этого соответствия требуется при $n = 6$ - 8 элементов, при $n = 10$ - 12 элементов.

Очевидно, что такой кодировщик минимален в смысле количества используемых элементов. Минимизация осуществлена за счет особого выбора соответствия кода номера и пары.

Схема логического устройства ЭКСТАС-I и его функционирование рассмотрены в следующей главе.

Глава II.

БЛОК-СХЕМА УСТРОЙСТВА

Схема логики трехмерного анализа спектров ЭКСТАС-I состоит из следующих функциональных блоков (см. рис. I):

- входного шестиразрядного зажимающего регистра (Рг).
- Входы регистра блокируются с помощью клапанов К1 - К6;
- блока формирования сигналов АЦП (БФС);
- идентификатора тройных совпадений (ИТС);
- кодировщика номера пары (КНП);
- схемы управления (СУ)

Исходное состояние устройства является состоянием ожидания прихода импульса "стоп".

В исходном состоянии регистр сброшен, входные клапаны заблокированы сигналом "блок I" от СУ.

В мишени нейтронного генератора в результате реакции $T(d, n) He$ совместно с первичным нейтроном, имеющим энергию 14,5 MeV, рождается α -частица отдачи. Из импульса α -детектора формируется стоповый сигнал, подаваемый на вход "стоп" логического устройства ЭКСТАС-I.

При получении сигнала "стоп" СУ снимает блокировку входных клапанов на время $T \approx 200$ нсек. (Это время выбирается из условия $t_{max} < T$, где t_{max} - максимальное время пролета нейтрона, соответствующее минимальной энергии).

Сигналы с шести нейтронных детекторов, представляющие собой отрицательные импульсы длительностью ~ 20 нсек, подаются через клапаны на регистр Рг, т.е. на регистре оказываются взведенными те разряды, которые соответствуют детекторам, воспринявшим нейтроны в течение времени разблокировки ($T = 200$ нсек).

Выходы регистра в виде потенциальных сигналов единичного уровня, передние фронты которых несут временную информацию о детекторных сигналах, поступают на входы трех блоков:

- блока формирования сигналов АЦП (БФС),
- идентификатора тройных совпадений (ИТС),
- кодировщика номера пары (КНП).

БФС формирует сигналы "старт-1" и "старт-2", которые служат метками времени появления первого и второго детекторных сигналов.

"Старт-2" подается непосредственно на АЦП-2, "старт-1" подается на АЦП-1 через схему управления (СУ), где подвергается дополнительной задержке.

БФС вырабатывает также сигнал "коммутация АЦП", служащий для коммутации измерительных серий АЦП, который устанавливает однозначное соответствие между координатой X или Y спектра и номером детектора в паре.

Схема ИТС при наличии на регистре Rg трех или более сигналов вырабатывает сигнал I, который подается на СУ. При наличии на Rg менее чем трех сигналов на выходе ИТС выдается нулевой уровень.

КНП вырабатывает четырехразрядный двоичный код номера пары. Если на регистре введен один или не введено ни одного разряда, КНП выдает нулевой код.

По прошествии времени T после сигнала "стоп" входы каналов вновь блокируются сигналами "блок-1" и "блок-2". Длительность сигнала "блок-2" ≤ 100 мсек.

Схема управления анализирует содержимое регистра, записанное в течение времени *разблокировки* T. В случае, если введено ровно два разряда, СУ вырабатывает сигнал "заявка регистрации", подаваемый на АЦП-1 и АЦП-2. Если не введено ни один из разрядов, вырабатывается только сигнал "блок-2". Если введено один, три или более трех разрядов Rg, то сигнал "заявка" не вырабатывается, сбрасывается регистр и снимается сигнал "блок-2".

При получении сигнала "старт-1" и с появлением задержанного на T = 200 мсек "стоп"-сигнала АЦП-1 блокирует входы регистра сигналом "блокировка от АЦП". АЦП-1 и АЦП-2 запоминают моменты прихода сигналов "старт-1" и "старт-2". Если в те-

полюс определенного времени на АЦП не поступает сигнал "запись на регистрацию", то блокировка входа снимается и АЦП подготавливается к анализу новых сигналов. Если поступает сигнал "запись на регистрацию", то АЦП-1 и АЦП-2 измеряют времена прихода стартовых импульсов, записывают события в запоминающее устройство, после чего снимается сигнал "блокировка от АЦП". Задним фронтом сигнала "блокировка от АЦП" в схеме управления (СУ) вырабатывается сигнал "сброс", подготавливающий логику ЭКСТАС-1 к новому циклу работы.

Временные диаграммы работы логического устройства представлены на рис. 6 и 7.

Входной регистр.

Входной нестираемый запоминающий регистр (Рг) собран на трехходовых элементах НЕ - ИЛИ 1ЛБ372 (Э7 - Э12 на рис. 2), соединенных по схеме RS-триггера. Детекторные сигналы подаются на установочные входы Рг через блокировочные входы Э1 - Э6 (пятиходовые элементы НЕ - ИЛИ 1ЛБ376).

Общая задержка появления сигнала на выходе Рг ~ 18 нсек. Сброс Рг осуществляется импульсом "сброс" длительностью 20 нсек, вырабатываемым схемой управления СУ.

Блок формирования сигналов АЦП.

БИС вырабатывает следующие сигналы: для АЦП-1 - "старт-1", для АЦП-2 - "старт-2" и логический сигнал "коммутация АЦП" (см. рис. 4).

Стартовые сигналы являются временными метками моментов появления первого и второго детекторных сигналов. На выходе "старт 1" реализуется логическая функция:

$$Y_1 = X_1 + X_2 + X_3 + X_4 + X_5 + X_6$$

где Y_1 - значение сигнала "старт 1",

$X_1, X_2, X_3, X_4, X_5, X_6$ - логические значения входных сигналов регистра Рг.

На выходе сигнала "старт 2" реализуется функция

$$Y_2 = X_1 X_2 + X_1 X_3 + \dots + X_4 X_5 + X_4 X_6 + X_5 X_6$$

Задержка передних фронтов сигналов "старт 1" и "старт 2" соот-

ответственно составляет ~ 12 нсек.

Функцию анализа временного соотношения сигналов в паре выполняет приоритетная схема, состоящая из пяти приоритетных дискриминаторов ПД1 - ПД5 и логической линейки на элементах 822, 826, 830, 834, 840 (1ЛБ372). Алгоритм выработки сигнала "коммутация" таков: если номер детектора, с которого пришел первый сигнал, больше номера детектора, с которого пришел второй сигнал, то сигнал "коммутация" не меняет свой нулевой уровень. Если номер детектора, воспринявшего первый сигнал, меньше номера детектора, воспринявшего второй сигнал, то на выходе "коммутация" вырабатывается "1". Максимальная задержка выработки сигнала составляет 60 нсек, минимальная - 12 нсек.

Идентификатор тройных совпадений.

ИТС (см. рис. 3) вырабатывает уровень "1" в случае прихода детекторных сигналов более, чем по двум входам.

Задержка выработки выходного сигнала ИТС составляет 12 нсек.

Кодировщик номера пары.

КНП (см. рис. 5) представляет собой дешифратор, собранный на элементах 854 - 859, объединенных попарно по выходу, и цепей согласования уровней интегральных схем 137 серии с уровнями интегральных схем серии 155. За единичный уровень принято открытое состояние выходного транзистора микросхемы 861/1 - 4. Время выработки кода ~ 50 нсек.

При измерении четырьмя детекторами их следует подключать ко входам логики с № 1, 2, 3, 4, тогда номер пары будет определяться только выходами № 1, 2, 3 КНП. При использовании трех детекторов их следует подключать ко входам № 1, 2 и 3 логического устройства. В этом случае номер пары определяется выходами № 1 и 2 КНП.

Схема управления.

Назначение схемы управления СУ (см. рис. 8) в выработке сигналов управления работой логического устройства ЭКСТАС-1 и

сигналов, необходимых для работы устройств регистрации.

На входы схемы управления подаются

- сигнал "стоп";
- сигнал "старт-1";
- сигнал "старт-2";
- логический сигнал со схемы ИТС;
- потенциальный сигнал "блокировка от АЦП".

Сигнал "стоп" выпускает "опорный одновибратор", который снимает блокировку входов на время $T = 200$ нсек.

С окончанием импульса опорного одновибратора схема Ф1 формирует импульс длительностью порядка 20 нсек. Этим импульсом вводится одновибратор (ФВ), блокирующий детекторные входы логики на время 100 нсек, что исключает возможность разблокировки входов в случае появления в течение этого времени еще одного импульса "стоп". Выходной импульс формирователя Ф1 также подается на ключ Ф15. При поступлении хотя бы одного детекторного сигнала в течение времени T после импульса "стоп" вырабатывается сигнал "старт-1", а элемент Ф15 формирует отрицательный импульс, опрашивающий схему "логики управления". В случае, если со схемы ИТС получен "0" (за время T после сигнала "стоп" поступило не более двух детекторных импульсов) и сигнал "старт-2", на выходе ключа Ф19/2 вырабатывается сигнал "сброс", подаваемый на АЦП-1 и АЦП-2.

Если с выхода ИТС получена "1", ключ Ф19/1 вырабатывает сигнал "сброс". При отсутствии сигнала "старт-2", "сброс" вырабатывается элементом Ф20/1.

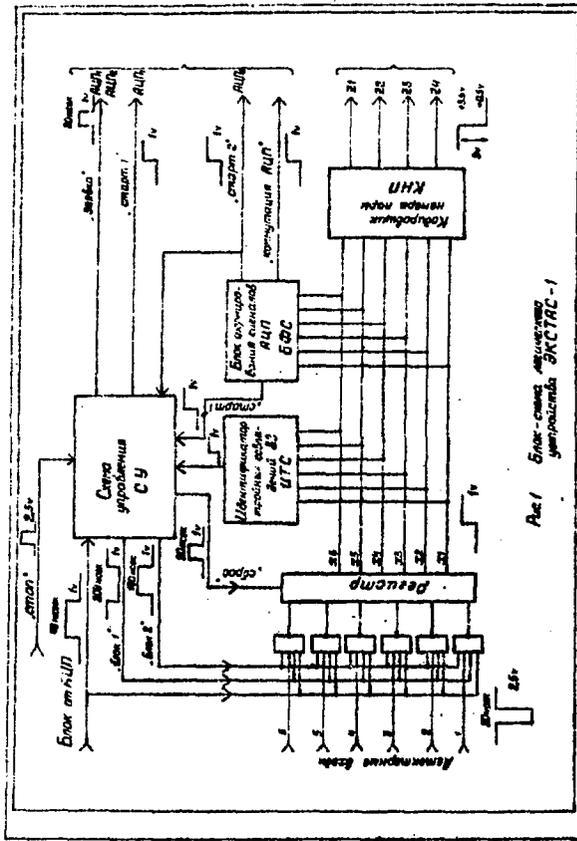
Сигнал "блокировка от АЦП" выдвигается задержанным импульсом "стоп" в случае прихода сигнала "старт-1" на АЦП-1 и выключается, когда АЦП-1 и АЦП-2 и вся система регистрации готовы к анализу новых событий. Из заднего фронта сигнала "блокировка от АЦП" формирователем Ф2 вырабатывается импульс "сброс". Сигнал сброса служит для приведения ФВ и Рг в исходное состояние.

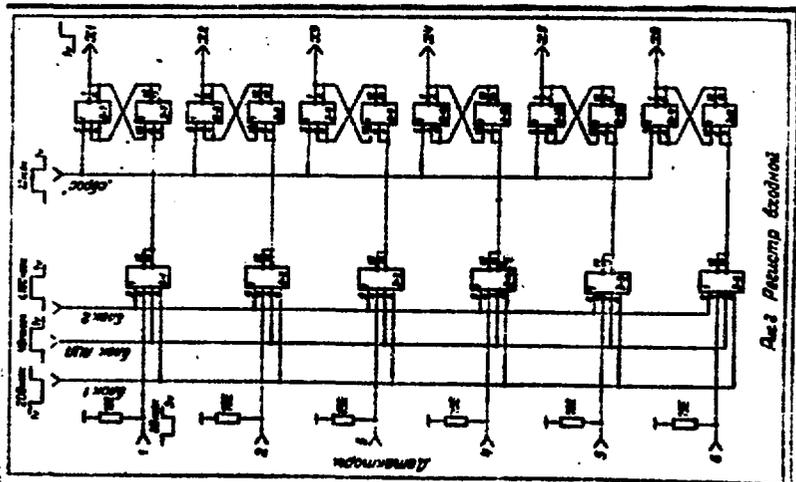
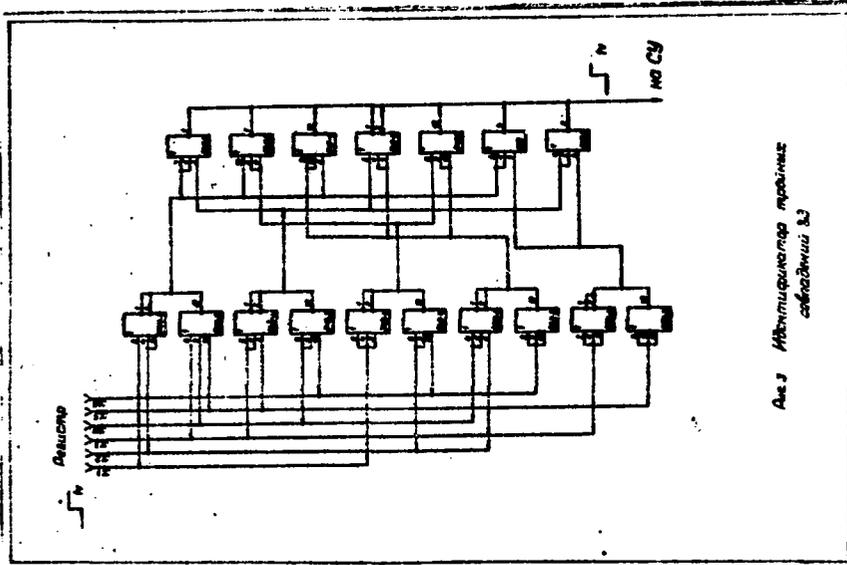
Описанный блок входит в состав библиотеки входных устройств измерительного центра ФЭМ.

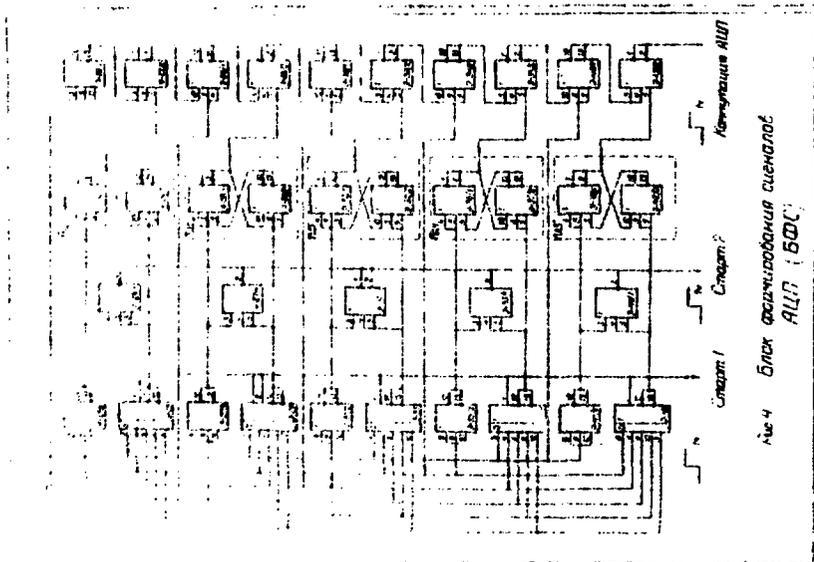
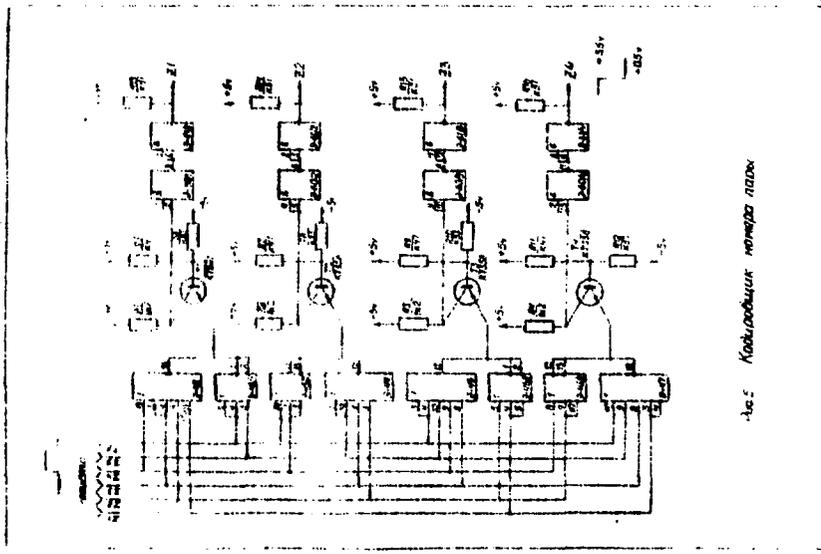
Л И Т Е Р А Т У Р А

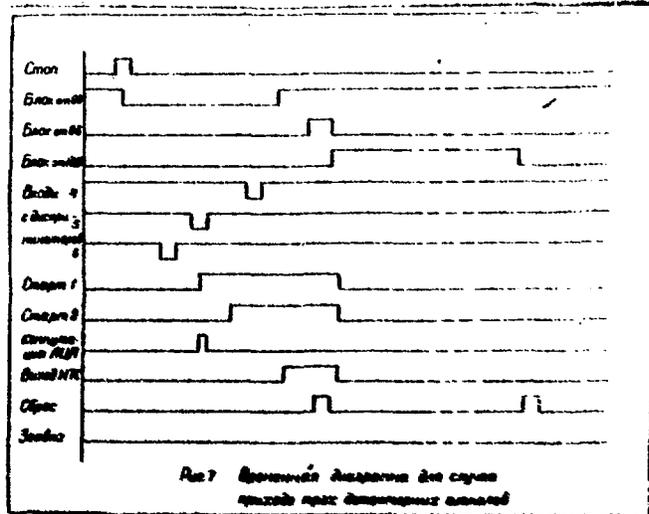
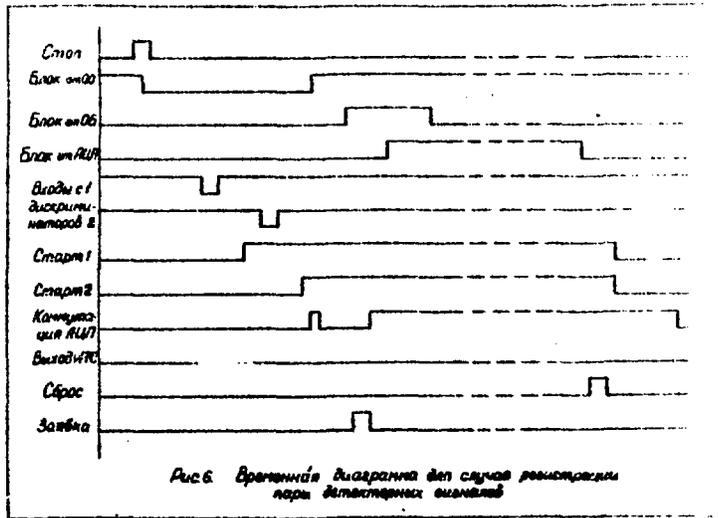
1. Гончар А.М., Деменков В.Г., Неостеренко В.С., Семенов В.Ф., Чубаров С.И. Препринт ФЭМ-419, Обнинск, 1973.

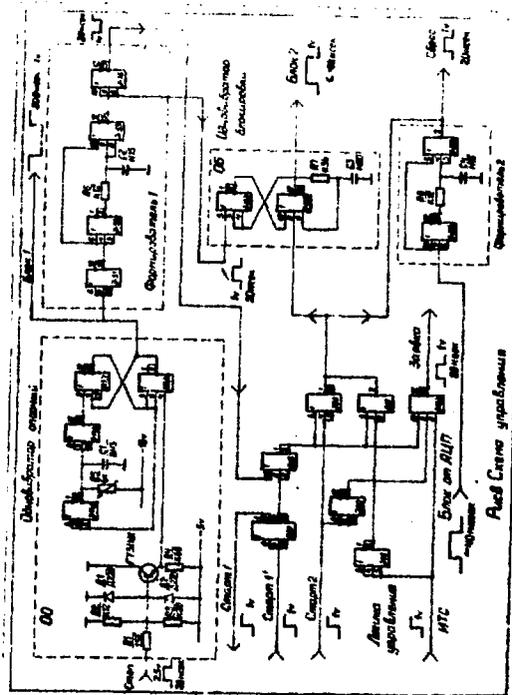
2. Алексенко А.Г. Основы микросхемотехники. Элементы морфологии микроэлектронной аппаратуры. М., "Советское радио", 1971.











ФЭИ-542 Т-18527 от 31/XII-74 г. Объем 0,8 уч.-изд.л. Тираж 116 экз.
Цена 8 коп. Заказ № 49

Отпечатано на ротатристе ФЭИ, январь 1975 г.

