

KEK Report 85-12
December 1985
A

BIPOLAR RAMP PULSE GENERATOR CAMAC MODULE (BRG)

(in Japanese)

J. URAKAWA, T. KAWAMOTO, K. UCHINO,
K. EBIHARA and M. KIKUCHI

NATIONAL LABORATORY FOR
HIGH ENERGY PHYSICS

© National Laboratory for High Energy Physics, 1985

KEK Reports are available from:

Technical Information Office
National Laboratory for High Energy Physics
Oho-machi, Tsukuba-gun
Ibaraki-ken, 305
JAPAN

Phone: 0298-64-1171

Telex: 3652-534 (Domestic)
(0)3652-534 (International)

Cable: KEKOH0

Bipolar Ramp Pulse Generator CAMAC Module (BRG)
(in Japanese)

J.Urakawa , T.Kawamoto , K.Uchino ,
K.Ebihara and M.Kikuchi

National Laboratory for High Energy Physics
Oho-machi, Tsukuba-gun, Ibaraki-ken, 305, Japan

Abstract

In TRISTAN accumulation ring (AR), electrons and positrons are accelerated up to 8 GeV, then extracted, transported and injected to main ring (MR). Slow bump and fast bump magnets are used to generate a closed bump orbit for the extraction and injection. A BRG CAMAC module was developed in order to control the power supply for the slow bump magnet. The fall time (=rise time) and the flat-top time of the ramp pulse can be changed in the range of 0.1 to 150 sec and of 0.1 to 1500 sec by CAMAC command (F(17)), respectively. The outputs of the ramp pulse generator are bipolar (-10.240 V~+10.235 V) and have accuracy of ± 2.5 mV. One can use either CAMAC command (F(25)) or a external timing pulse for the trigger of this ramp pulse. The timing jitter on the start trigger is less than 150 nsec.

Keywords :CAMAC module, Accelerator, Control, Circuit

1. 概要

トリスタン加速器の入射蓄積リング(AR)では、電子または陽電子を蓄積して 2.5 GeV から 8 GeVまで加速する。この加速された電子または陽電子を AR から取り出し電子リング(MR)へ入射するために、それぞれのリング内で Bump 軌道を形成する¹⁾必要がある。Bipolar Ramp Pulse Generator(BRG) CAMAC モジュールは、このBump軌道をつくるSlow Bump マグネットの電源を制御するために開発された。

本制御用モジュールの出力特性としては、少なくとも以下の項目を満足させなければならない。

1. 出力電圧範囲は-10 V から+10 V
2. 出力精度は±10 mV 以内
3. Rise/Fall 時間範囲は0.2 から30秒
4. Flat-Top時間範囲は 0.5から600 秒
5. 最小繰り返し時間は10秒

さらに、ビーム取り出しや入射用の Bump 軌道を形成するには、加速されたビームのエネルギー (2.5 GeV ~8 GeV)に応じて設定値が変えられる電流パルス発生機構が必要である。従って、本モジュールは制御用計算機からRamp Pulseの時間巾や振幅データが設定できるように設計されている。また、アナログ出力回路はバイポーラ電源用にバランス・ドライバー回路を採用しているので、同相ノイズ特性が良好であり、CAMAC と電源間の実用的な距離は100 m 程度まで延長可能である。本モジュールは、以上のような特徴を有するので、Slow Bump マグネットの制御以外に加速器のビーム補正用の各種電磁石や繰り返し時間の長いビーム輸送路の電磁石をパルス運転する場合などの広範な活用性がある。また、BRG CAMAC モジュールは、モジュール自体にRamp Pulseのパターン発生制御機能を持たせることによって、制御用計算機の負荷を軽減化する役割も果たしている。

この CAMACモジュールは、2台の電磁石を同期させて制御できるように一つの制御系で2チャンネル分の出力回路を持っている。この制御系は、図1に示す様に計算機からのデータに従って、Riseの設定時間 (T1)の間、出力電圧

が設定データに対応する値になるまで時間に比例して変化し、Flat-Topの設定時間（ T_2 ）の間、一定電圧値を保った後にFall状態になり、Riseのときと同様に T_1 の間、時間に比例して出力電圧が0Vになるまで変化させる機能を持っている。この動作は計算機からのスタート命令又は加速器のタイミング信号によって起動される。

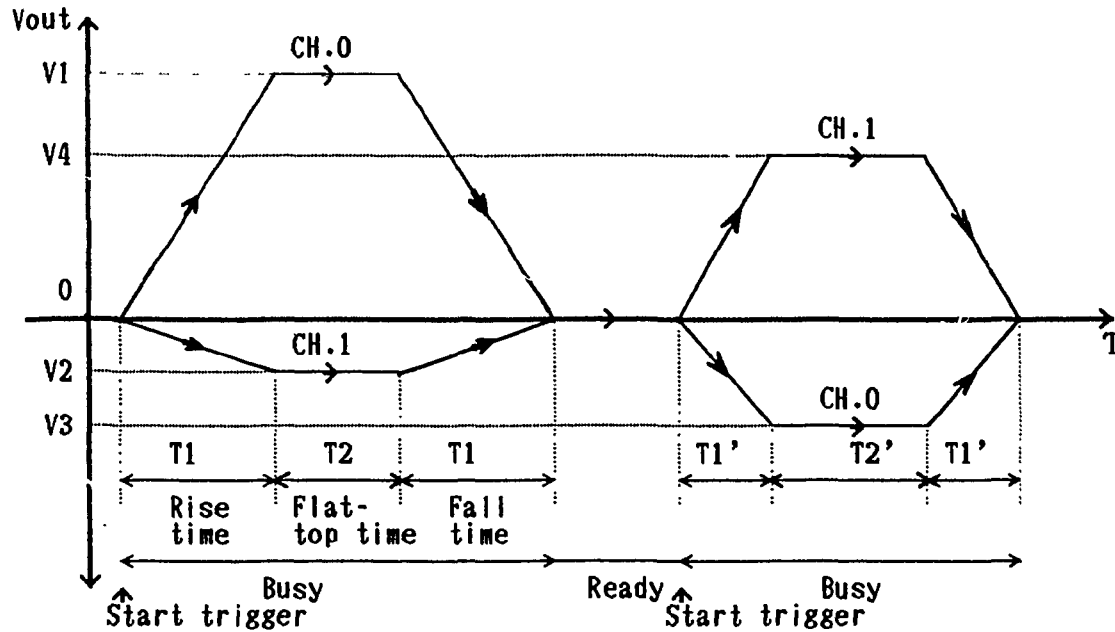


Fig.1. Schematic behavior of BRG CAMAC module.

データの書き込みは、2の補数コードを用いて、[11ビット] + [サインビット]の分解能で各チャンネル毎に設定することができる。出力電圧は、2チャンネルとも+10.235 [V] ~ -10.240 [V]となっている。出力回路は差動出力で出力短絡保護機能を持っている。また活線挿抜が可能でクレーン電源投入後は定常状態で出力電圧が0 [V]になるよう対策されている。

リードコマンドにより、設定データの値を各チャンネル毎に読み返すことができる。読み返しデータには、チャンネルアドレスとモジュール内のディップスイッチによってセットされたモジュールスロットがタグとして付いている。又、モジュール認識番号 (ID Number:15) とモジュールステータスもモジュールスロットのタグ付きで読むことができる。

ここでは、本モジュールの回路構成、機能、特性及び応用などについて報告する。

2. 回路構成及び機能

Bipolar Ramp Pulse Generator モジュールは、時間設定可能な標準台形波発生回路 (Time Variable Standard Ramp Pulse Generator)、2チャンネル分の 12-Bit Data Register 及びバッファ付き乗算型 D/A コンバータ、CAMAC Command 及び DATA 処理回路、そして電源回路からなる。まず、特徴となる回路部分について、ブロック図 2 と回路図 3-1 及び図 3-2 を使って説明する。

Time Variable Standard Ramp Pulse Generator (ブロック図 2 の点線内) は、バッファ付き乗算型 D/A コンバータの Reference 電圧を発生する回路である。この Reference 電圧の波形は Flat-Top 電圧が +10.000 V の標準台形波であり、この波形の Rise Time (=Fall Time) と Flat-Top Time は CAMAC の Write Command によって設定される。この時間設定部は、クリスタル発振器 (X'tal Osc. 4.096 MHz) と Programmable Divider からなる。X'tal Osc. (4.096 MHz) を使用することによって、Ramp Pulse 発生スタートタイミングは Divider の一分周時間とスタート同期回路系の時間遅れ (タイミングをとるため最大 2 μ sec 遅らせている。) の和だけ遅れて、 ± 150 nsec の精度で設定できる。Programmable Divider 回路は、回路図 3-1 の下側 (2F-2A~6F-7B, 8A; 以後 6F-7B, 8A などの記号は、前の 6F が図の座標、後の 7B, 8A が IC のそれぞれのプリント基板上の Location Number を示すものとする。) に示されているように、4.096 MHz の X'tal Osc.、25600 Hz を作る Divider 回路及び時間構成用の 2 系統の Divider 回路からなる。Divider の分周の Start 及び Stop は全て Mode and Status Controller によって制御される。

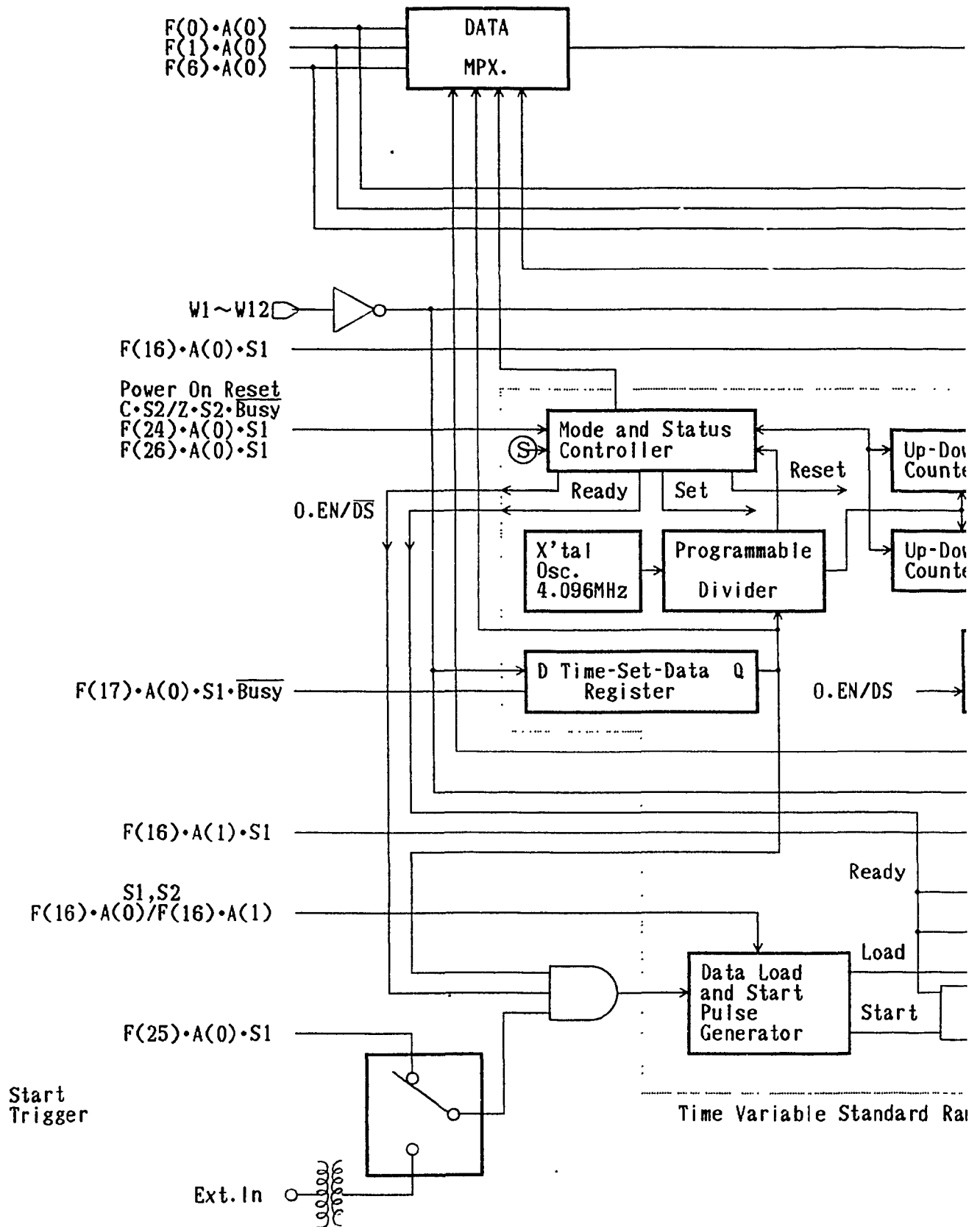
このうちの 1 系統は、Rise Time (=Fall Time) を設定する Divider 回路で、図 3-1 の中央部の 2 組の Up-Down Counter (6C-6H, 6F, 6E と 6B-6L, 6K, 6J) の Clock 入力に接続されている。BRG Module の出力電圧の総合精度から、One Clock 当たりの標準台形波の出力 Step を 5 mV 以下にする必要があるので、2 組の Up-Down Counter の Initial Set 値を 2560 と 0 に設定した。この場合、標準台形波の出力 Step は 3.906 mV/Clock となる。25600 Hz の Clock から 2560 Hz と 256 Hz の Clock を作り、4-line to 1-line Data Selectors (LS 153) と 4-Bit Up-Down Counter (LS 191) によって、0.1 sec ~ 150 sec の時間

設定ができるようになっている。

他の1系統は、Flat-Top Time を設定する Divider 回路で、Mode and Status Controller に接続されている。回路構成は上述のものと同様で、0.1 sec ~ 1500 sec の時間設定ができるようになっている。このように、Programmable Divider 回路を使うことによって、Rise Time (=Fall Time)及びFlat-Top Time の指数部と仮数部を別々に設定でき、表7に示すように広い範囲で設定時間を選べるようにした。

Time Variable Standard Ramp Pulse Generator 回路で、最も中枢になる部分が2組の Up-Down Counter と Mode and Status Controller である。この Controller で Up-Down Counter の 0 検出を行なうことによって、Mode の切り換えを行なっている。詳しく述べると、まず Ready 状態の時 Controller は Start 信号を受けて、2組の Up-Down Counter に Initial 値 (2560 と 0) を Set し、Module を Rise-Mode にする。0 と 2560 に Initial Set された Counter は Programmable Divider からの Clock 入力によって、それぞれ Increment または Decrement される。Decrement 側の Counter 出力の 0 検出により、Rise-Mode が終了し、Controller は Programmable Divider を Up-Down Counter から切り離し、BRG Module は Flat-Top Mode になる。Flat-Top の設定時間の間、Programmable Divider は、Clock を数え続け、Flat-Top の終了を Controller に知らせる。ここで Fall Mode に入り、Controller は 2組の Up-Down Counter の Up-Down の Mode を反転させ、Programmable Divider からの Clock 入力を Up-Down Counter に接続して再び Down Mode の Counter の 0 検出まで Count を続けて、Fall Mode を終了させ、Module は Ready 状態になる。以上の動作をまとめると表1になる。表1は、Mode and Status Controller と Programmable Divider によって、2組の Up-Down Counter が丁度シーソーのような動作をしていることを示している。

以上の制御のもとで、Initial Set 値が 0 側の Up-Down Counter の出力を 12-Bit Multiplying DAC (図3-1の 6A-7K) に接続することによって、標準 Ramp Pulse を発生している。この標準出力を 12-Bit Buffered Multiplying DAC (9A-7H と 9C-7J) の Reference に入力して、2の補数コードに従って Bipolar Ramp Pulse が出力されるように Analog 出力回路につながっている。



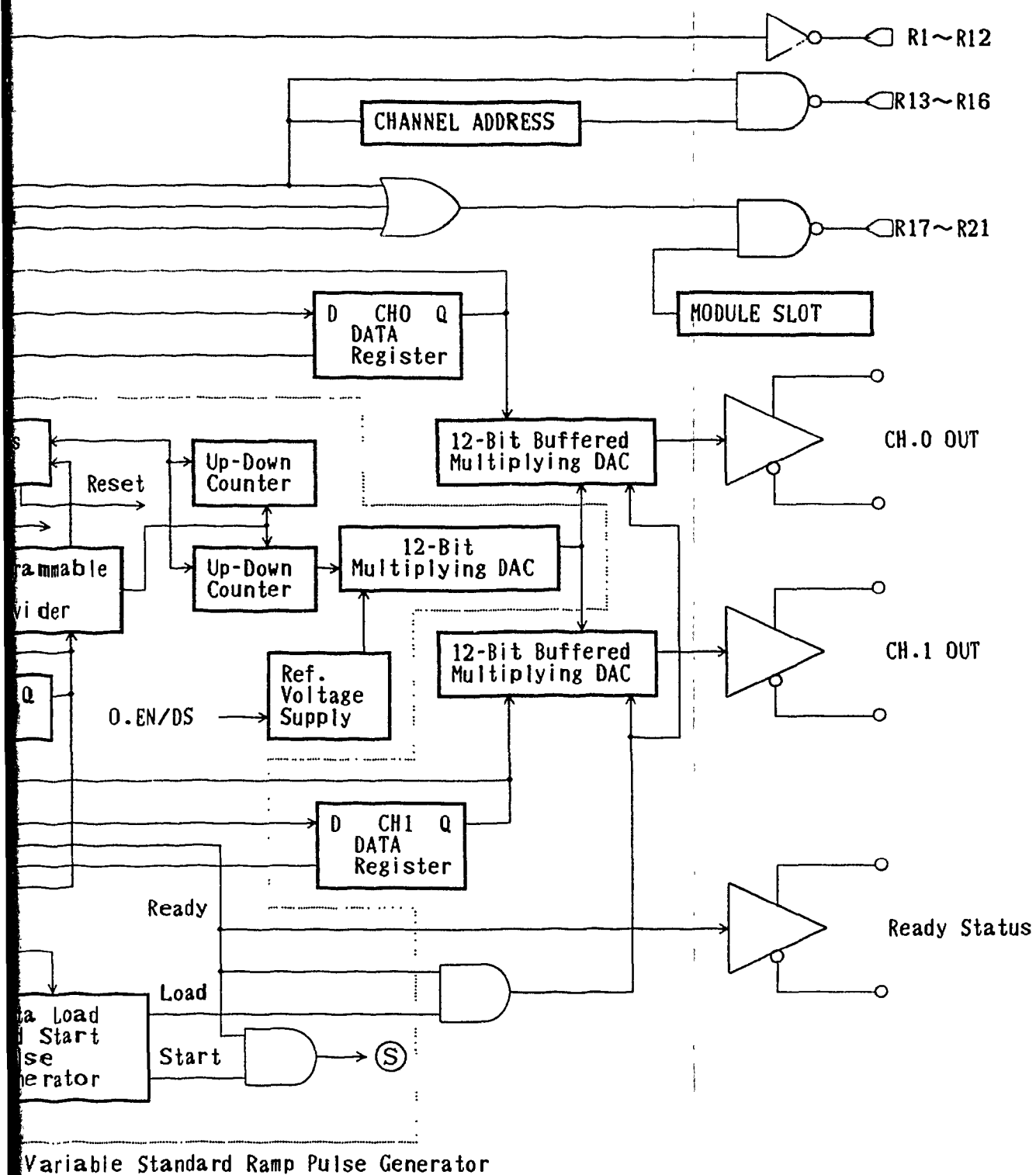
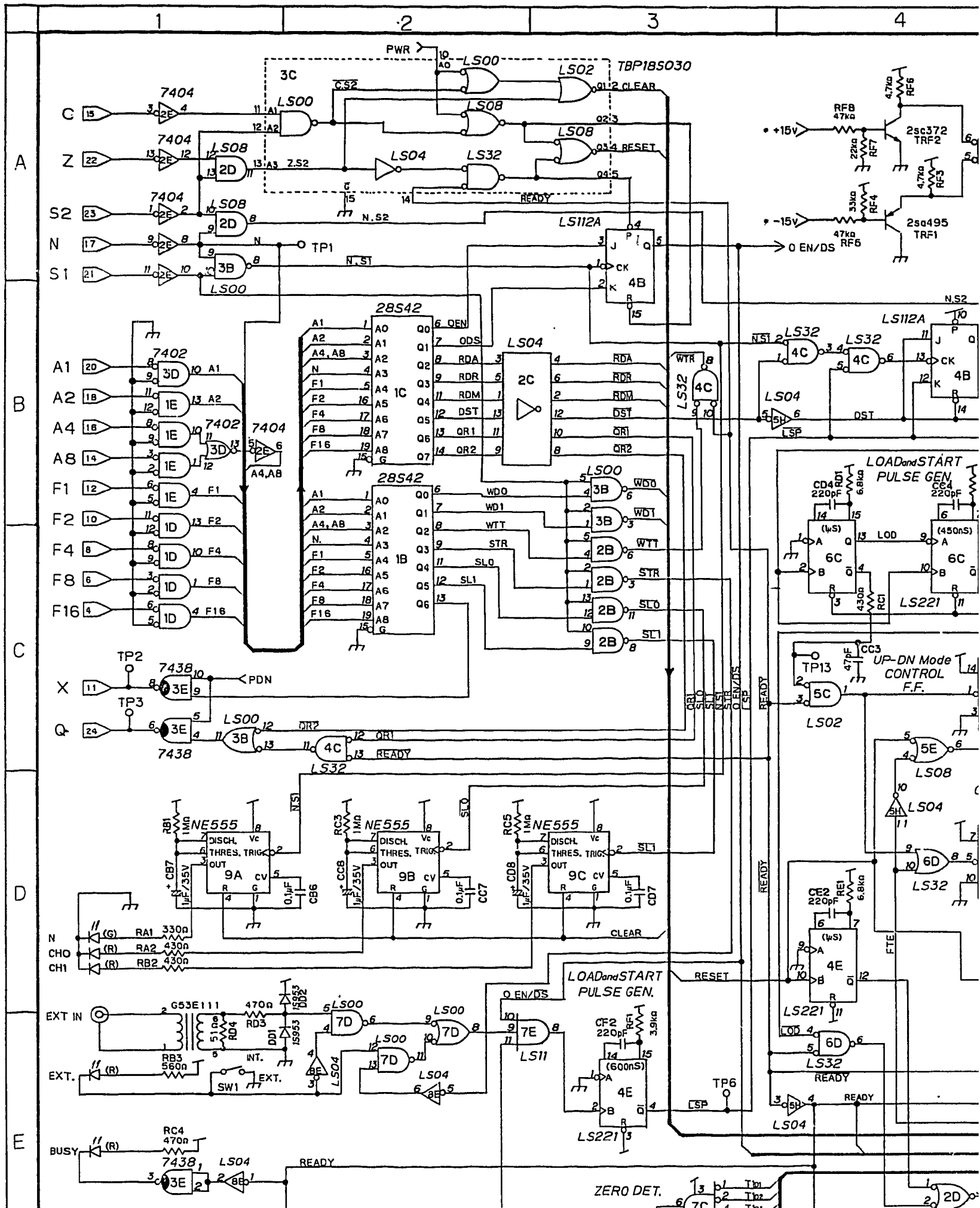
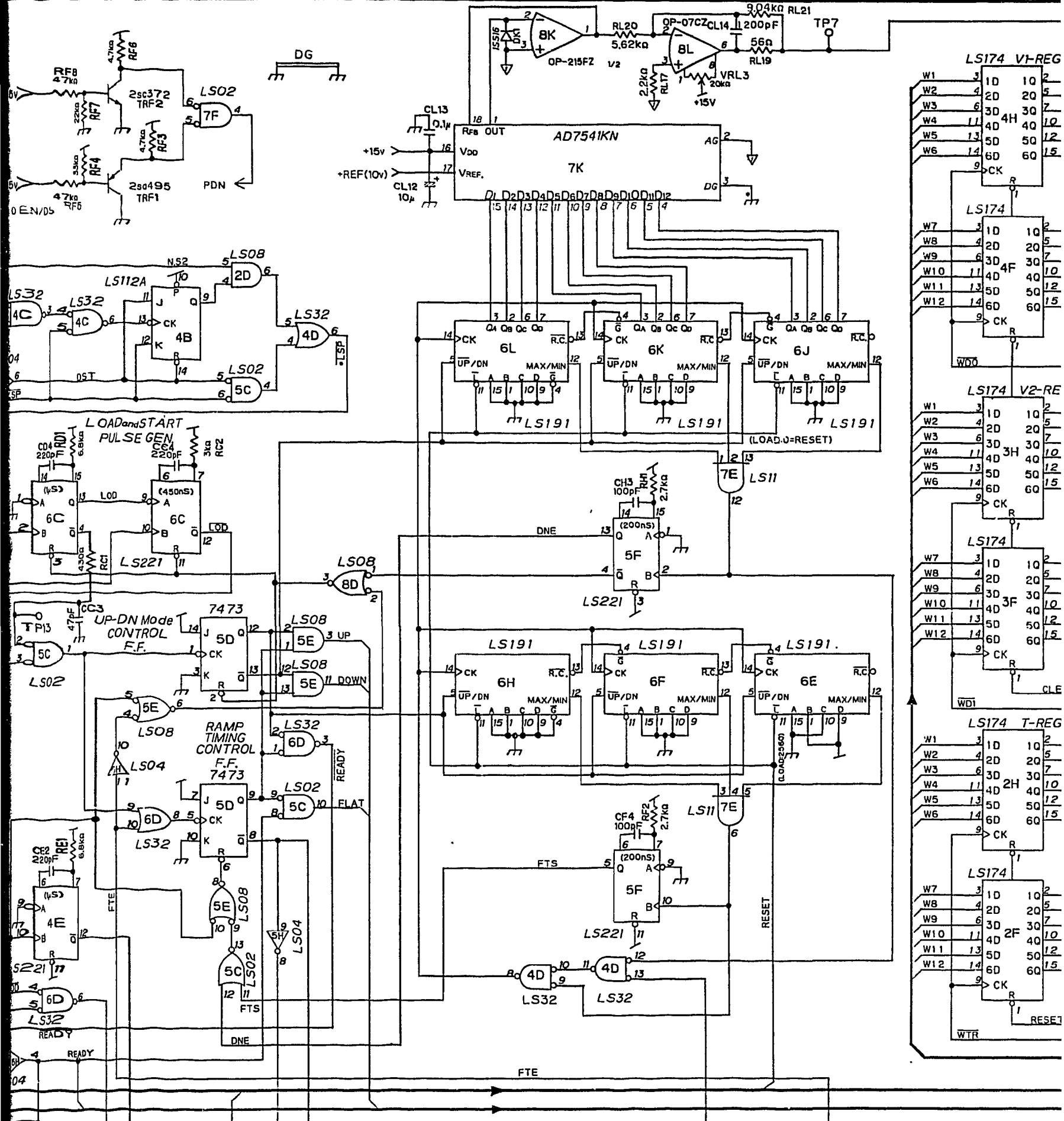


Fig.2. Block diagram of BRG CAMAC module.



4 5 6 7

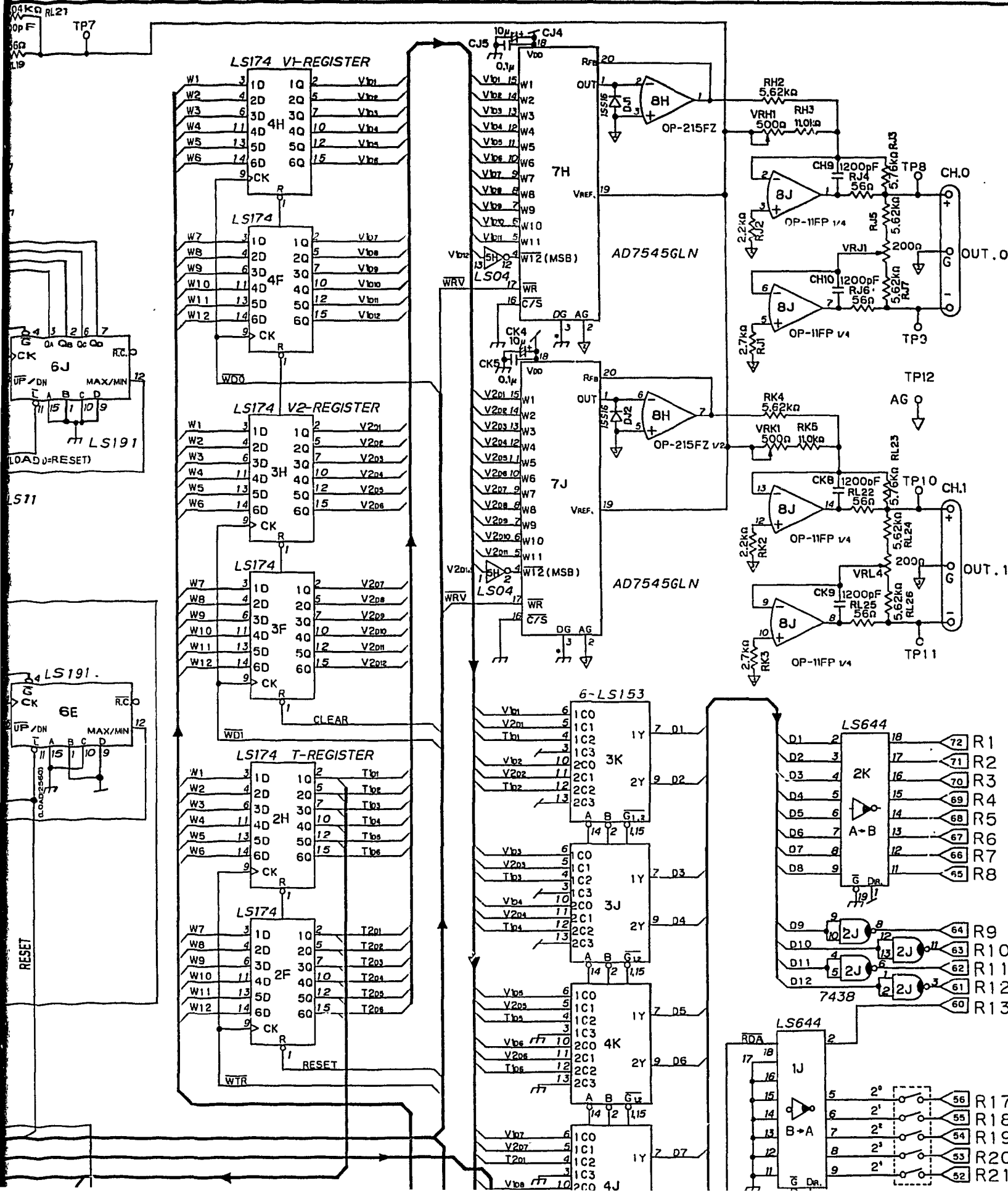


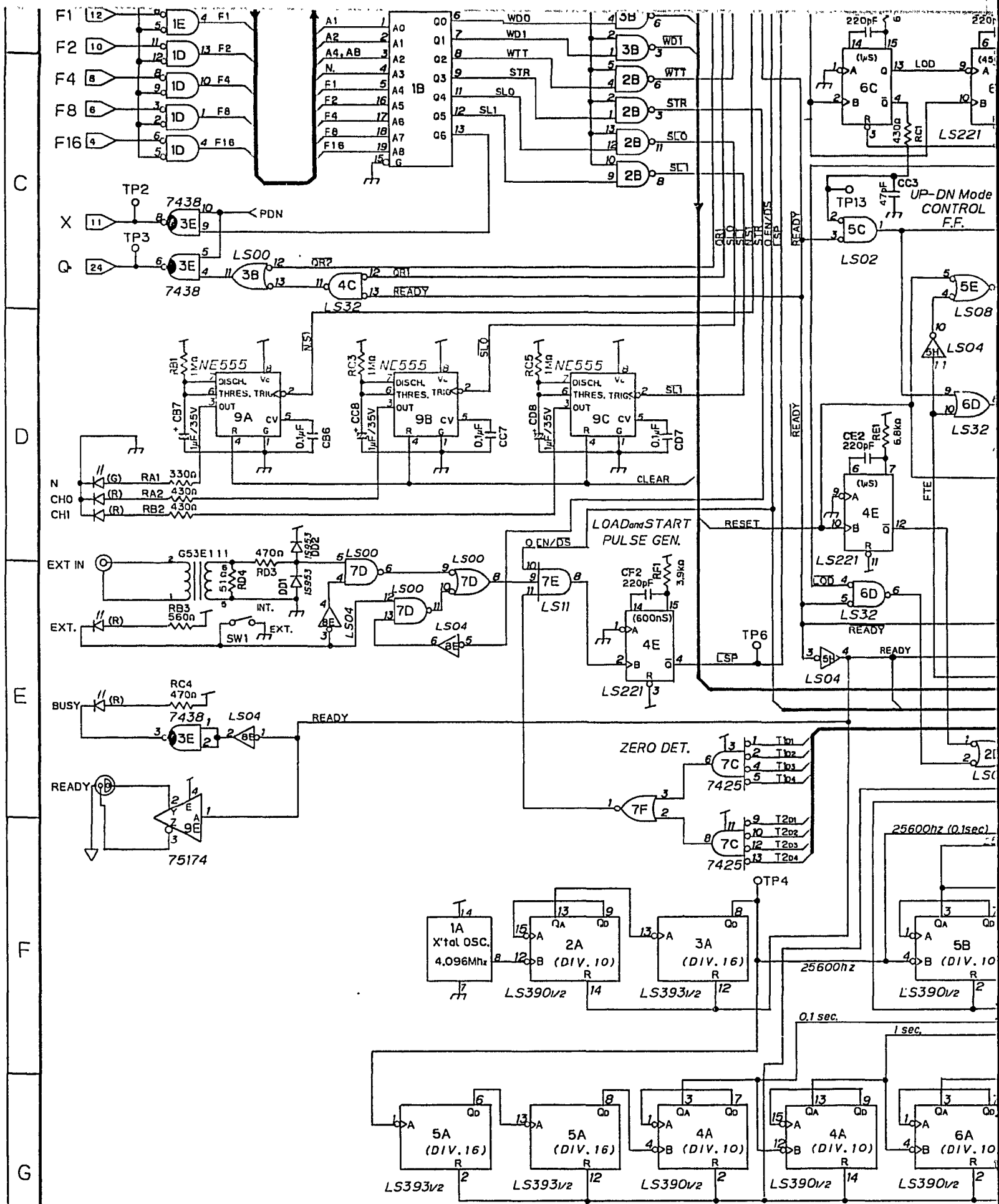
7

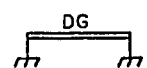
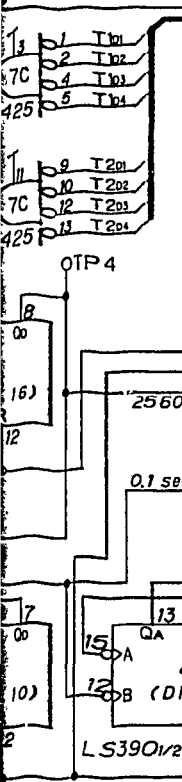
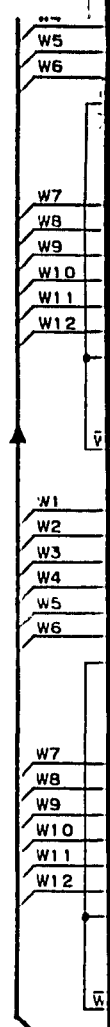
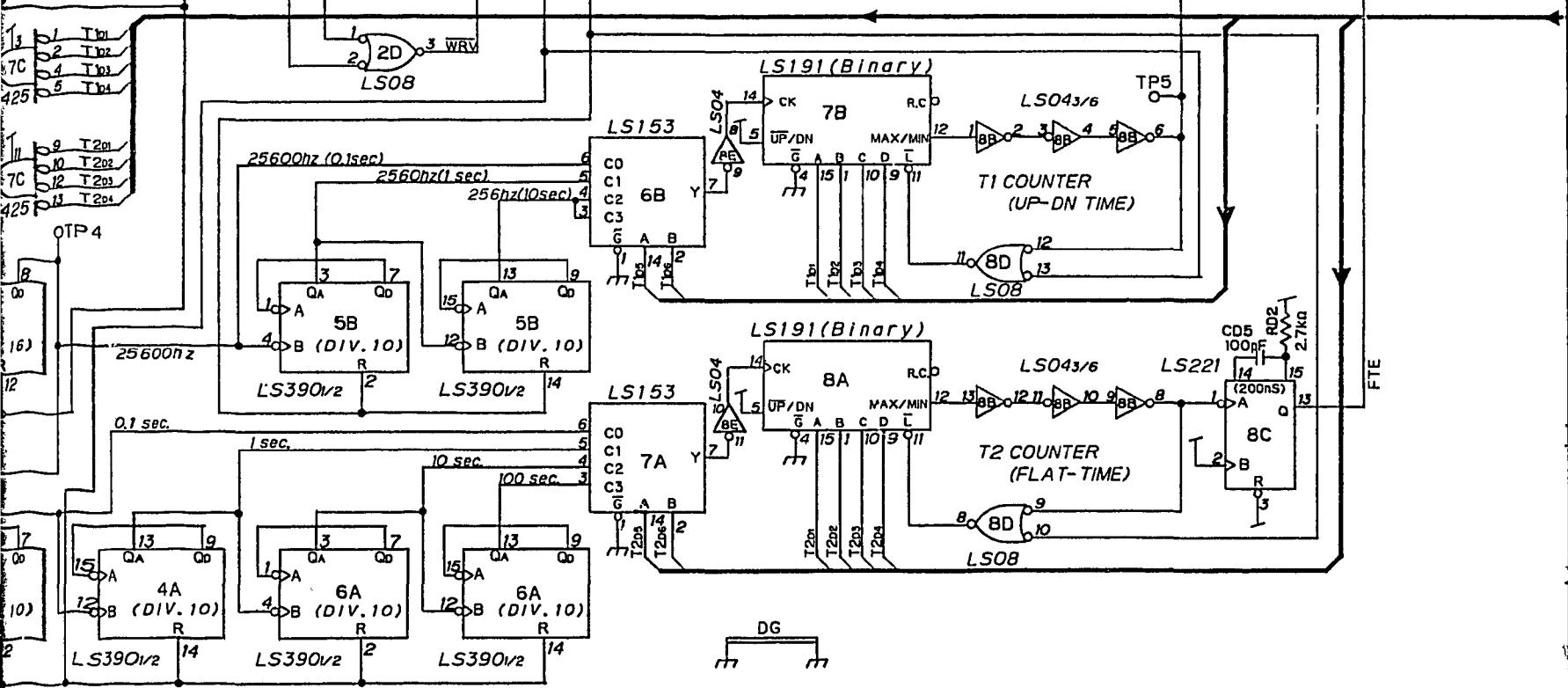
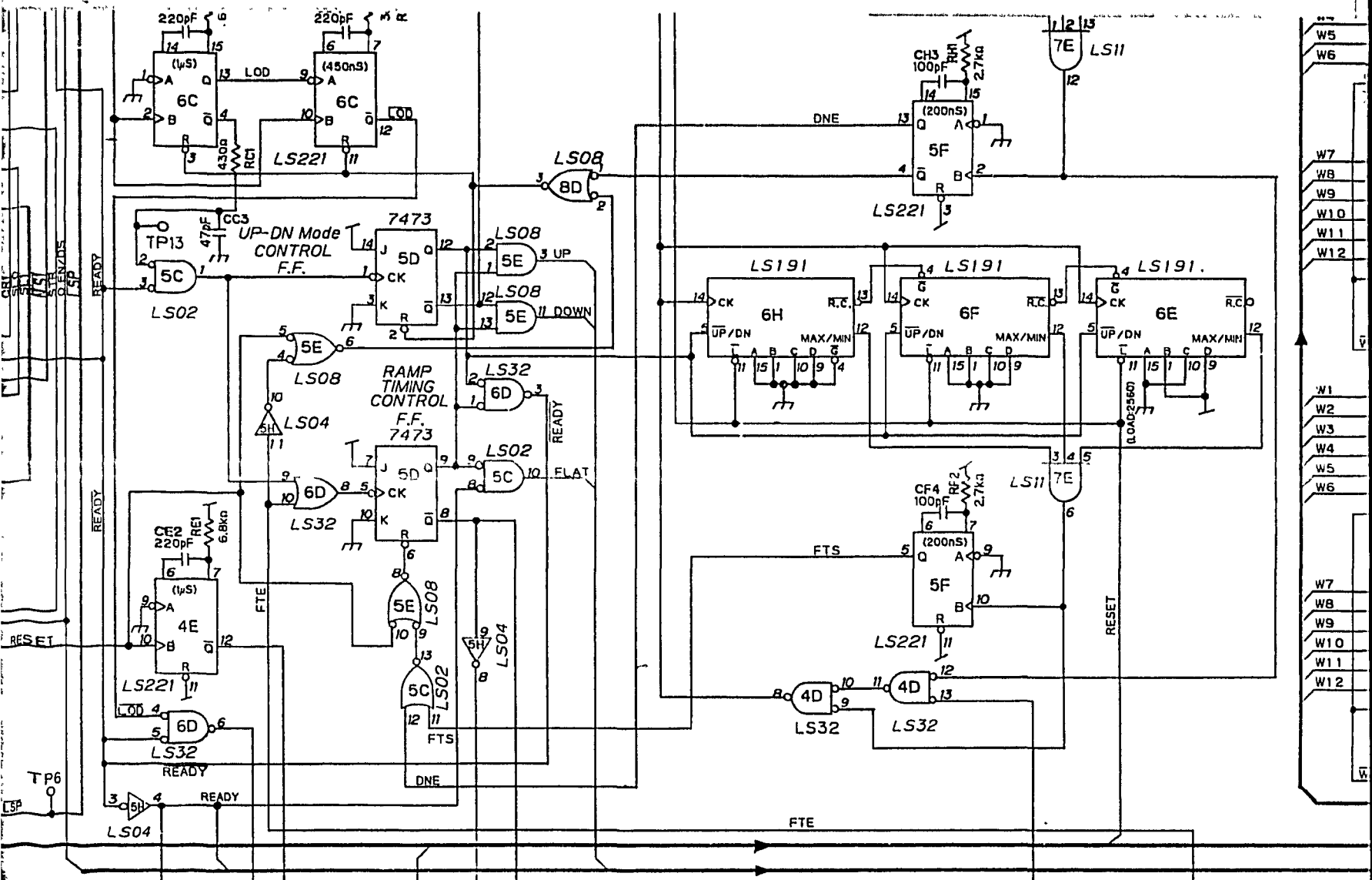
8

9

10







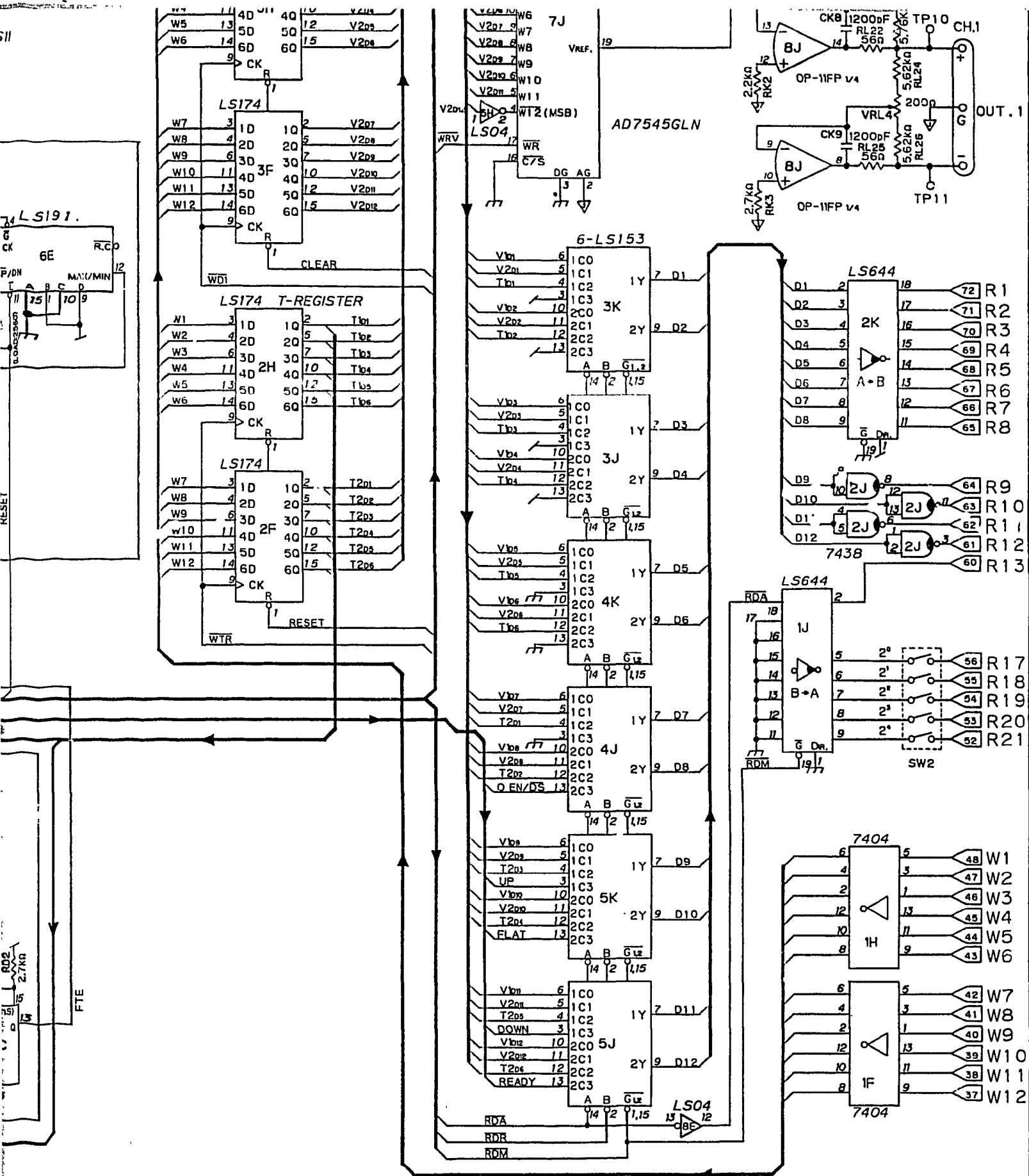


Fig.3-1. Circuit diagram of BRG CAMAC module.

Table 1. Mode Changing Mechanism

Mode and Status Controller (trigger signal)	Up-Down Counter 6B-6L, 6K, 6J	Up-Down Counter 6C-6H, 6F, 6E	Programmable Rise/Fall Clock	Divider Flat-Top Counter	Mode
			Stop	Stop	Ready
Ramp Pulse Start	0 Set Increment 2560	2560 Set Decrement 0	← Start	Stop	Rise ↓ T1
0 Detect ←			Stop	Start	Flat ↓ T2
Flat-Top End	2560 Decrement 0	0 Increment 2560	← Start	Stop	Fall ↓ T1
0 Detect ←			Stop	Stop	Ready

又、F(16) CAMAC CommandによってRamp Pulse発生中でもDATAの書き込みが可能
なように2組の12-Bit DATA Register (図3-1で8A-4H, 4Fと8C-3H, 3F) が設
けられていて、次の出力サイクルでその設定データに対応した出力電圧に変わ
る。

本モジュールは、外部同期によるRamp Pulse Startが可能である。外部同期
にする場合は、図3-1のSW1 (図の座標は1E) をEXT. にSetし、EXT. IN
に同期 Pulseを接続すればよい。この場合のStart信号とWrite Commandの
F(16)とが非同期となり、両者の衝突による誤動作を防止する必要がある。こ
の為ブロック図2のDATA Load and Start Pulse Generator回路は、F(16)信
号とExternal Trigger信号が衝突したとき、不定なDATAでRamp Pulseが発生し
ないように、CAMACサイクルの始めで衝突を検出し、スタート信号の発生をS2
まで待たせる操作を施してある。この場合、まずS1で12-Bit DATA Register
にDATA Loadを行ない、S2でRamp Pulse Start信号を発生する。次に12-Bit
DATA RegisterからDACの12-Bit DATA BufferへのDATA Loadを行なって、
Ramp Pulseを発生させている。

図3-2は、+5Vと±15Vの電源回路とPower On Reset信号を作る

回路及び Output Enable/Disable機能を実行させる回路からなる。Power On Reset 信号は、1 秒間 General Resetがかかるように、C(1 μ F)と R(1 M Ω) 及び Comparator(LM339N) によって作られる。Output Enable/Disable 回路は、 $\overline{0\text{EN}/\overline{DS}}$ 信号 (図3-1、3A-4B) をComparator(LM339N)で受けて、トランジスタ (2SC373G) を On/Off することによって、Reference 電圧発生用IC(REF01EZ, IC の Location Numberは7L) の出力電圧を10.000 Vと 0.000 V 間で切り変えている。

さらに、トリストラン制御で採用される CAMAC Module の共通機能として、活線挿抜などの機能²⁾も持っている。

CAMAC Command, 表示及び外部と接続される信号などの説明を箇条書きで以下に示す。

1). Power On Reset

Counter 及びRegisterの全ての値が0 にSet される。Control 用の全ての Flip-Flop がReset 状態になる。Output Disable状態で立ち上がる。

2). Clear(C)

Counter 及びRegisterの全ての値が0 にSet され、Output Disable状態になる。Control 用の全てのFlip-Flop もReset 状態になる。

3). Initialize(Z)

動作中でないときは、Counter 及びRegisterの全ての値が0 にSet され、Output Enable になる。Control 用の全てのFlip-Flop もReset 状態になる。動作中 (Busy State) は時間を Setする Register を除く全ての Registerの値が 0に Setされるのみである。

4). Read Voltage DATA(F(0)*A(i))

Channel i の12-Bit DATA Registerの電圧値をReadできる。

5). Read Time DATA(F(1)*A(0))

時間をSet するTime-Set Register の値をReadできる。

6). Output Disable(F(24)*A(0))

出力がでない状態になる。

7). Output Enable(F(26)*A(0))

出力がでる状態になる。

8). Write Voltage DATA(F(16)*A(i))

Channel i の12-Bit DATA Registerに出力電圧値がLoadされる。

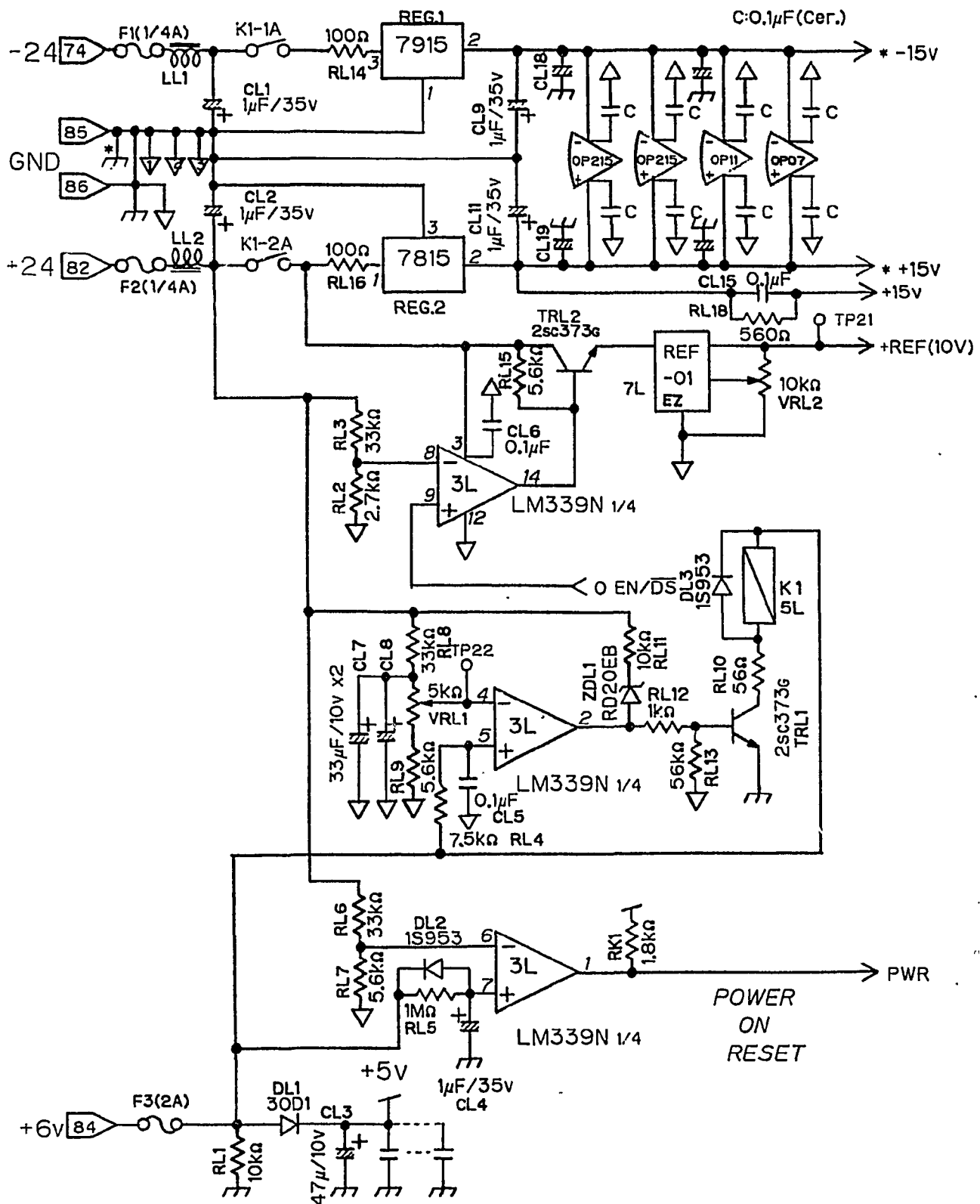


Fig.3-2. Circuit diagram of the power supply for BRG CAMAC module.

9). Write Time DATA(F(17)*A(0))

時間をSetするTime-Set RegisterにT1とT2の値がLoadされる。

10). Start Ramp Pulse Generation(F(25)*A(0) or External trigger)

Ready状態であれば、DACのDATA Bufferに12-Bit DATA Registerの値がLoadされ、動作状態(Busy State)になる。動作中及びOutput Disable状態でのStartはInhibitされる。

11). EXT IN

EXT INの入力回路は入力インピーダンス50[Ω]のトランス結合で5[V]、2[μsec]のパルスを入力する。このパルスはExternal Start Mode時(SW1をEXT.にSetとする。)に外部からのStart Triggerとして使用する。ただし、この場合F(25)*A(0) CommandによるStartは無効となる。

12). Ready Status

Ready Statusの出力回路は、バランス出力で最大40[mA]のドライブ能力がありEIA StandardのRS-422に準拠している。この信号はRamp Pulse発生が完了していることを表わし、Ready信号が出力される前にRamp Pulse Start信号を入力してもそのStart信号は無視される。

13). N表示

モジュール前面パネルのLED(N)表示は、本モジュールがアクセスされた時、約1秒間点灯する。LEDは緑色である。

14). CH表示

モジュール前面パネルのLED(CH0、CH1)表示は、対応するチャンネルがF(0)*A(i)またはF(16)*A(i)コマンドによりアクセスされた時、約1秒間点灯する。LEDは赤色である。

15). EXT. 表示

外部同期によるスタート・モードに設定してあることを示す。LEDは赤色である。Dip SwitchをExt.側に切り変えることで点灯する。

16). BUSY表示

ランプ電圧の出力中であることを示す。LEDは赤色である。

17). Qレスポンス

本モジュールのQ信号レスポンスは、表2に示すように各CAMAC Command

によって異なる。一般的に Q = 0 の応答はモジュールが Busy 中であることを示す。この場合、表示に示す通り各コマンドによっては、実行制限が与えられるので、使用上の注意を要する。

18). 注意事項

a). 動作中、C, F(24), F(26) の Command を使用すると、出力電圧値の急激な変化が起こる。

b). Internal or External Start のモード設定は Module 内の Dip Switch で行なう。

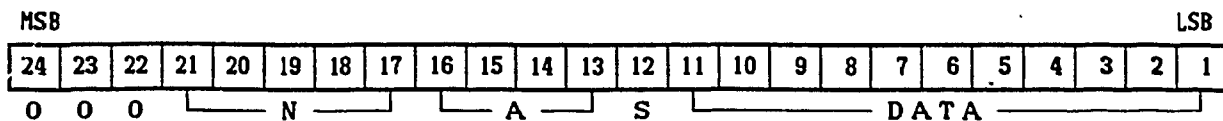
上記 CAMAC Command の一覧表を表 2 に示す。それらのデータ・フォーマットは、表 3 ~ 7 に示す。又、図 4 に BRG CAMAC Module の写真を示す。

Table 2. CAMAC Command

Command	X Response	Q Response	Action	
			Busy	Busy
Read Voltage Data F(0)*A(i)	1	Busy	Read the 12-Bit Data register of channel i. (i=0,1)	
Read Time Data F(1)*A(0)	1	Busy	Read Time-set-register.	
Read Module ID F(6)*A(0)	1	1	Read module slot, ID, status, and mode.	
Write Voltage Data F(16)*A(i)	1	Busy	Overwrite the 12-Bit Data register of channel i. (i=0,1)	
Write Time Data F(17)*A(0)	1	Busy	Overwrite Time-set-register.	Ignored.
Output Disable F(24)*A(0)	1	1	Disable all outputs.	
Execute F(25)*A(0)	1	Busy	Start Ramp * pulse generation.	Ignored.
Output Enable F(26)*A(0)	1	1	Enable all outputs.	
Clear C*S2	0	0	Clear registers and counters, and disable all outputs.	
Initialize Z*S2	0	0	Clear registers and counters, and enable all outputs .	Clear only data registers.

*. This command (F(25)*A(0)) is ignored if rise time (=fall time)/flat-top time equals 0 sec or outputs are disable.

Table 3. F (0) * A (i) Read Data Format



N : Module Slot
A : Channel Address
S : Sign Bit DATA
D a t a : 11-Bit DATA

Channel Adress Table

CHANNEL	16	15	14	13
CH0	0	0	0	0
CH1	0	0	0	1

Module Slot Table

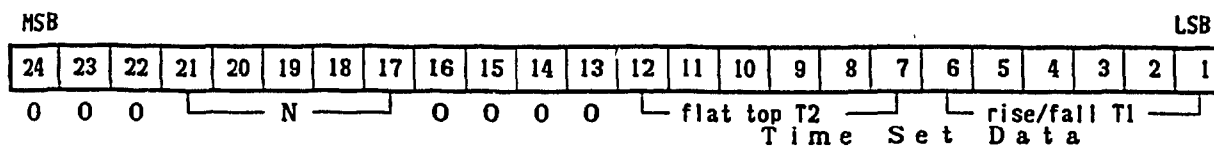
N	21	20	19	18	17
1	0	0	0	0	1
∫	∫				
23	1	0	1	1	1

Data Code Table (Two's Complement Code)

Data Value	bit number											Output Voltage (5mV/bit) [V]	
	12	11	10	9	8	7	6	5	4	3	2		1
+FS-1LSB	0	1	1	1	1	1	1	1	1	1	1	1	+10.235
+FS-2LSB	0	1	1	1	1	1	1	1	1	1	1	0	+10.230
∫	∫											∫	
+1LSB	0	0	0	0	0	0	0	0	0	0	0	1	+ 0.005
ZERO	0	0	0	0	0	0	0	0	0	0	0	0	0.000
-1LSB	1	1	1	1	1	1	1	1	1	1	1	1	- 0.005
∫	∫											∫	
-FS+1LSB	1	0	0	0	0	0	0	0	0	0	0	1	-10.235
-FS	1	0	0	0	0	0	0	0	0	0	0	0	-10.240

FS: Full Scale

Table 4. F (1) * A (0) Read Data Format



N : Module Slot
 flat top T2 : flat top time DATA(0.1~1500sec)
 rise/fall T1 : rise/fall time DATA(0.1~150sec)

Time Data Code Table

T2 data bit number							T1 data bit number							rise/fall T1 [sec]	flat top T2 [sec]
exponent		mantissa					exponent		mantissa						
12	11	10	9	8	7	6	5	4	3	2	1				
*	*	0	0	0	0	*	*	0	0	0	0	inhibit	inhibit		
0	0	0	0	0	1	0	0	0	0	0	1	0.1	0.1		
}			}			}		}				}	}		
0	0	1	1	1	1	0	0	1	1	1	1	1.5	1.5		
0	1	0	0	0	1	0	1	0	0	0	1	1.0	1.0		
}			}			}		}				}	}		
0	1	1	1	1	1	0	1	1	1	1	1	15	15		
1	0	0	0	0	1	1	0	0	0	0	1	10	10		
}			}			}		}				}	}		
1	0	1	1	1	1	1	0	1	1	1	1	150	150		
1	1	0	0	0	1	1	1	0	0	0	1	10	100		
}			}			}		}				}	}		
1	1	1	1	1	1	1	1	1	1	1	1	150	1500		

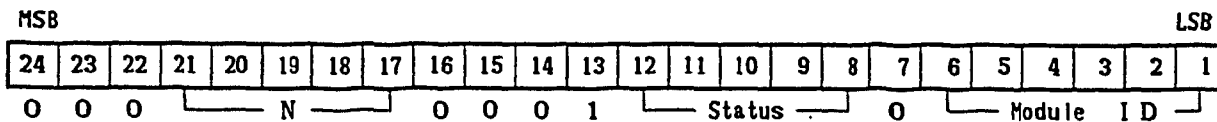
inhibit: If rise time(=fall time) or flat-top time equals 0sec, the trigger signal for the generation of ramp pulse (F(25)*A(0) or external trigger) is ignored.

Exponent Data Table

exponent bit number				time [sec]
12	11	6	5	
0	0	0	0	(mantissa count)X10 ⁻¹
0	1	0	1	" X10 ⁰
1	0	1	*	" X10 ¹
1	1	——		" X10 ²

mantissa count: 2⁰~2⁴-1
 *: 0 or 1

Table 5. F (6) * A (0) Read Data Format



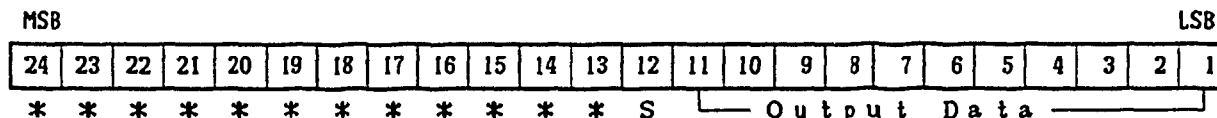
N : Module Slot
 Status : Mode of BRG Module
 ID : Module Identification Number (=15)

Status Table

Status		bit number					
		12	11	10	9	8	
Output		Rise mode	0	0	0	1	1
Enable	Busy	Flat top	0	0	1	0	1
		Fall mode	0	1	0	0	1
	Busy		1	0	0	0	1
Output Disable			*	*	*	*	0

*:0 or 1

Table 6. F (16) * A (1) Write Data Format



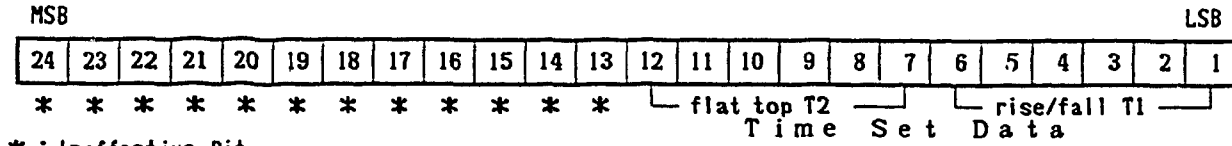
* : Ineffective Bit
 S : Sign Bit
 Data : 11-Bit DATA

Data Code Table (Two's Complement Code)

Data Value	bit number											Output Voltage (5mV/bit) [V]												
	12	11	10	9	8	7	6	5	4	3	2		1											
+FS-1LSB	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	+10.235
+FS-2LSB	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	+10.230
}	}											}												
+1LSB	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	+ 0.005
ZERO	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0.000
-1LSB	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	- 0.005
}	}											}												
-FS+1LSB	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	-10.235
-FS	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	-10.240

FS:Full Scale

Table 7. F (17) *A (0) Write Data Format



Time Data Code Table

T2 data bit number					T1 data bit number					rise/fall T1 [sec]	flat top T2 [sec]		
exponent		mantissa			exponent		mantissa						
12	11	10	9	8	7	6	5	4	3	2	1		
*	*	0	0	0	0	*	*	0	0	0	0	inhibit	inhibit
0	0	0	0	0	1	0	0	0	0	0	1	0.1	0.1
∫			∫			∫			∫			∫	∫
0	0	1	1	1	1	0	0	1	1	1	1	1.5	1.5
0	1	0	0	0	1	0	1	0	0	0	1	1.0	1.0
∫			∫			∫			∫			∫	∫
0	1	1	1	1	1	0	1	1	1	1	1	15	15
1	0	0	0	0	1	1	0	0	0	0	1	10	10
∫			∫			∫			∫			∫	∫
1	0	1	1	1	1	1	0	1	1	1	1	150	150
1	1	0	0	0	1	1	1	0	0	0	1	10	100
∫			∫			∫			∫			∫	∫
1	1	1	1	1	1	1	1	1	1	1	1	150	1500

inhibit: If rise time(=fall time) or flat-top time equals 0sec, the trigger signal for the generation of ramp pulse (F(25)*A(0) or external trigger) is ignored.

Exponent Data Table

exponent bit number				time [sec]
12	11	6	5	
0	0	0	0	(mantissa count)X10 ⁻¹
0	1	0	1	" X10 ⁰
1	0	1	*	" X10 ¹
1	1	—	—	" X10 ²

mantissa count: 2⁰~2⁴-1

*: 0 or 1

3. Moduleの調整手順と特性

図3-1、2の回路図の記号を使って、Analog出力回路のOffset及びGain調整の手順を、以下に示す。

< BRG Module 調整手順 >

- 1). Ready 状態で、TP7 offsetを6A-VRL3 (20 k Ω) で 0.0 mV に調整する。
- 2). Ramp Pulseを STARTして、flat top状態での TP7出力を 10.000 V に 図3-2のVRL2 (10 k Ω) を使って調整する。
- 3). DATA 0を入力して、flat top状態で CH.0 及びCH.1の出力をそれぞれ 10A-VRH1及び10B-VRK1 (500 Ω) を使って0.0 mVに調整する。
- 4). 12-Bit DATA を 2047 にして、Ramp Pulseを Startさせ flat top 状態でCH.0及びCH.1の出力を +10.235 Vに 10B-VRJ1 及び 10C-VRL4(200 Ω) を使って調整する。

注意事項

1. 全てheat-run 30 分以上経過後におこなう。
2. Extention board にMount して調整するので、空冷される前に調整を行なうこと。
3. 調整の時、ランプ・パルス出力の時間をRise, Flat top 及びFallに対して、それぞれ 4 sec, 2.5 min, 4 secとする。

調整後、測定の結果一定温度 (25 $^{\circ}$ C) においては、出力電圧の誤差は ± 2.5 mV以内であった。又、温度試験の結果、出力でのOffset値の温度係数は+ 0.35 mV/ $^{\circ}$ C以内となった。このOffset値の温度変化は出力を平行移動させるだけなので、非直線性はOffset値を無視すると、測定結果から ± 0.02 %FSRmax となった。

12-Bit Multiplying DAC (図3-1の6A-7K)のスイッチ切り換えから発生するグリッジによって生じたノイズの写真を図5に示す。このノイズは Ramp Pulse 出力を最大にしたとき最大になり、60 mV 以下でパルス巾 50 μ sec 以内である。尚、出力信号の伝送距離を最大100 m 程度として、途中で混入する同相ノイズを出来るだけ除去するため、アナログ出力回路はバランス出力方式

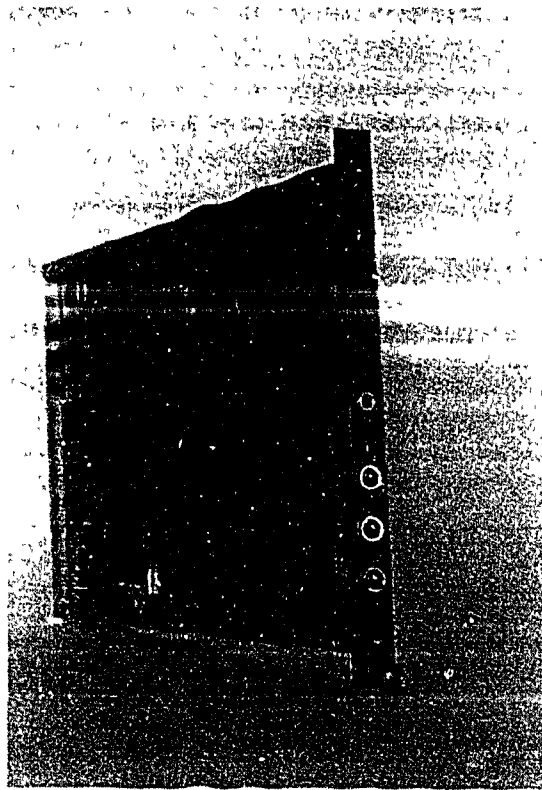


Fig.4. Photograph of BRG CAMAC module.

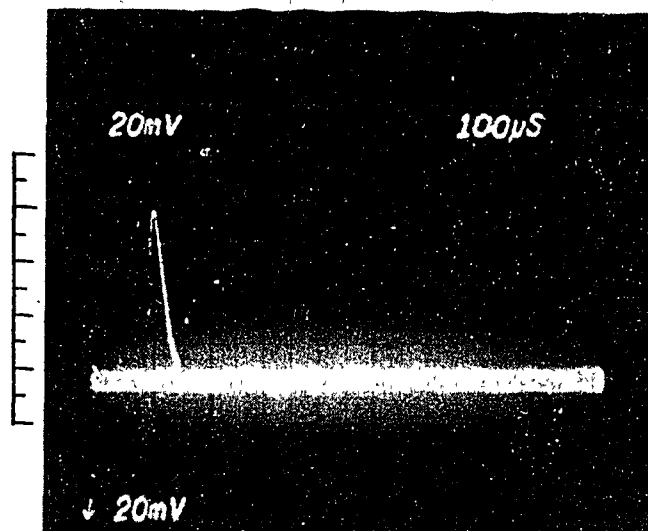


Fig.5. An oscilloscope photograph showing the typical glitch noise as observed at the output of BRG CAMAC module on conditions of input data=2047(+10.235 V), T1= 150 sec and T2= 0.1 sec. Vertical scale : 20 mV/div., Horizontal scale : 100 μ sec/div.

を採用した。伝送路は静電シールド付きツイステッドペア・ケーブルを用いることを標準としている。

本モジュールの規格及び特性は表8に示す通りである。

Table 8. Specifications and Characteristics

1	Abbreviated name	B R G
2	Module identification number	15
3	Front panel unit	Single-width CAMAC module
4	Rise/Fall time T1	0.1 ~ 150 sec
5	Flat-Top time T2	0.1 ~ 1500 sec
6	Output voltage range	+10.235 ~ -10.240 [V]
7	Output load	More than 2 [k Ω]
8	Output circuit	Balance output circuit
9	The number of channels	2 channels
10	Output error	± 2.5 mV (25 $^{\circ}$ C)
11	Power requirements	0.04 A/ ± 24 V, 1.63 A/+6 V
12	Offset drift	+0.35 ± 0.1 mV/ $^{\circ}$ C (10 $^{\circ}$ C ~ 45 $^{\circ}$ C)
13	Timing Jitter (trigger)	± 150 nsec
14	Nonlinearity	$\pm 0.02\%$ FSRmax *

* FSRmax: Output maximum error at full scale range .

4. 応用

Bipolar Ramp Pulse Generator の特徴は、Ramp Pulseの Rise/Fall&Flat-Top の時間設定が可能で、2 Channel 同時 Bipolar出力で各出力値を独立に設定でき、CAMAC Command (F(25)*A(0))又は外部 Triggerによって Ramp Pulse を発生できることである。以上の特徴から、徐々にビームの軌道を変える場合及び繰り返し時間の長い(数秒に一回より長い)場合の Pulse Beam の制御等に 응용できる。

高エネルギー物理学研究所のトリスタン加速器では、ARからのビーム取り出し及びMRへのビーム入射システムにおいて、本モジュールを用いて Slow Bump Magnet電源の制御を行なっている。Bump Orbit は4台の Slow Bump Magnet によって形成されるので、各MagnetのBipolar Power Supply4台を2台のBRG CAMAC Moduleを介して計算機制御を行なっている。この制御のためにデータ・モジュール^{3,4)}と呼ばれる制御用サブルーチン・プログラムを作成した。

以下にその制御手順の概略を示す。

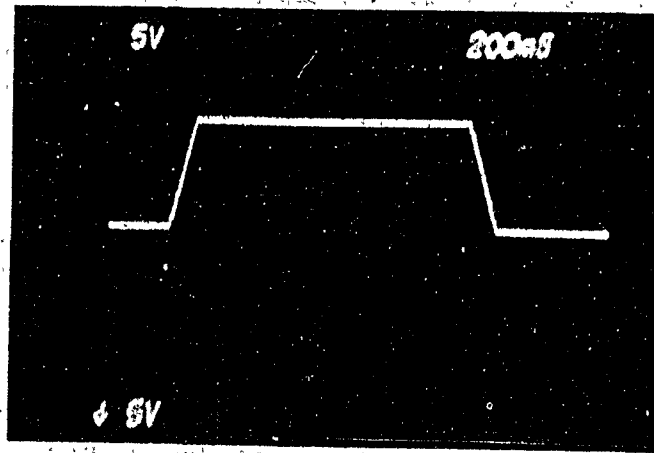
1. 2台のBRG CAMAC ModuleにRise Time(=Fall Time) と Flat-Top Time を設定する。
2. Ramp Pulse出力電圧値を4台のMagnetに対応させて設定する。
3. 4台のBipolar Power SupplyのStatusが正常状態か確認する。
4. パルス励磁のため4台のSlow Bump Magnetの平均電力が許容範囲を超えないか確認する。
5. 全てが問題なければ Start Commandによって Ramp Pulse を発生する。

例] データ・モジュール(TESBPS)の実行例を以下に示す。

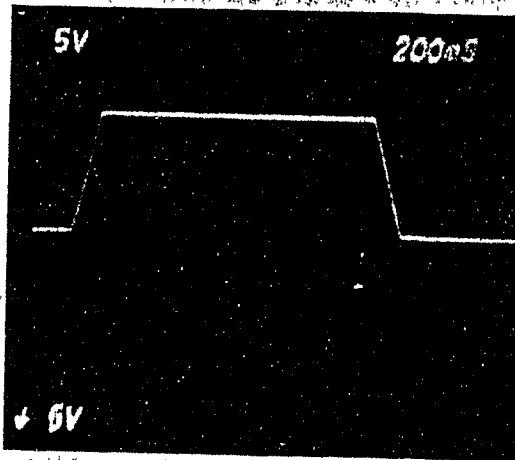
- a. Rise Time(Fall Time)=1 sec, Flat-Top Time=2 sec ;Execute step 1
FOR I=1,3,2; SET TESBPS(I,'RFT')=1; SET TESBPS(I,'FLT')=2
- b. Magnet Current=30 A ;Execute step 2
FOR I=1,4; SET TESBPS(I,'CUR')=30
- c. Check & Start ;Execute step 3,4,5
SET TESBPS(1,'TRG')=1

図6の写真は、このデータ・モジュールを使ってARからの電子ビームの取り出しに使用されているSlow Bump Magnetの制御入力(BRG Ramp Pulse 出力)と

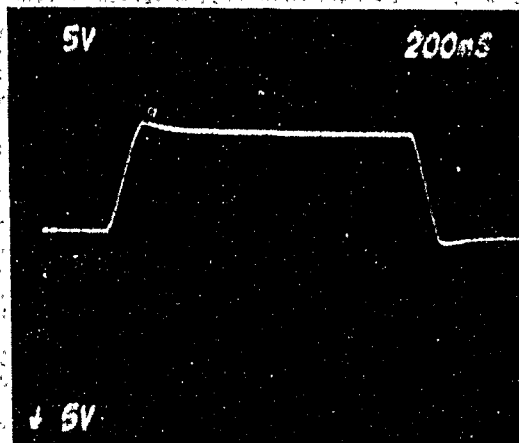
Magnetの電流及び電圧のモニター波形を示している。Magnetの Time Constant が数十msecなので、Rise Time(=Fall Time) が0.1 sec でも、Magnetのインダクタンスによる波形のなまりは電流出力波形から判別できないが、電圧出力波形には Ldi/dt (Lは Magnet のインダクタンス、I は電流) の影響が見えている。通常、Slow Bump Magnetは2sec程度のRise Time(=Fall Time) で使用されるので、モニターの電圧、電流出力波形ではMagnetのインダクタンスによる影響は問題にならない。参考のため、その結果の写真を図7に示す。



(a)



(b)



(c)

Fig.6.(a) Photograph showing the waveform of BRG output at input data= 2000(+10.000 V), $T_1=0.1$ sec and $T_2=1.0$ sec.
 Vertical scale : 5 V/div., Horizontal scale : 200 msec/div .
 (b) Photograph showing the monitor waveform of the magnet current at the same condition as (a).
 (c) Photograph showing the monitor waveform of the magnet voltage at the same condition as (a).

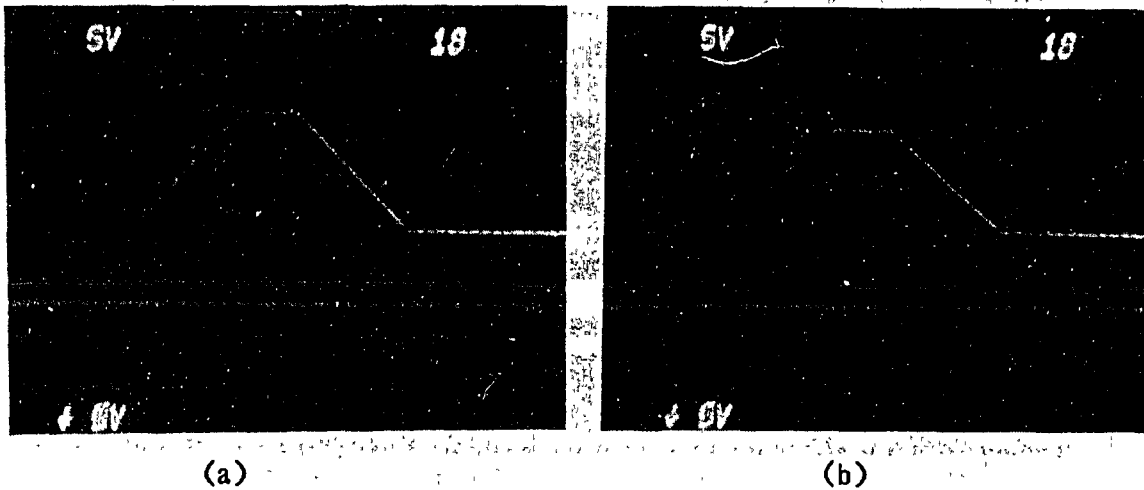


Fig.7.(a) Photograph showing the monitor waveform of the magnet current at input data =2000(+10.000 V), T1=2.0 sec and T2=1.0 sec.
 Vertical scale : 5 V/div., Horizontal scale : 1 sec/div.
 (b) Photograph showing the monitor waveform of the magnet voltage at the same condition as (a).

謝辞

竹田 繁 助教授と駒田 一孝氏のご助言に深く感謝致します。又、羽澤正 氏及び内藤 孝 氏の技術的援助を受けた事に感謝致します。

References

- [1] M.Kikuchi et al., "Extraction System of TRISTAN Accumulation Ring and Transport Line to Main Ring", Proc. 5th Symposium on Accelerator and Technology(KEK, 1984), p.306
- [2] K.Uchino et al., "Interface System of TRISTAN Accelerator", Proc. 5th Symposium on Accelerator and Technology(KEK, 1984), p.335
- [3] M.C.Crowley-Milling and G.C.Shering, "The NODAL System for the SPS", CERN 78-07(1978)
- [4] A. Akiyama et al., "Computer Control System of TRISTAN", Proceedings of the Europhysics Conference, Computing in Accelerator Design and Operation, Berlin, September 1983, in Lecture Note in Physics 215, Springer- Verlag 1984, pp.367-371.