

**디지털 원자로 안전계통 개발**  
**Development of a Digital Safety System for**  
**Nuclear Reactors**

**안전계통 성능시험 장비 개발**  
Development of a Test Equipment for Performance  
Evaluation of Safety Systems

**연구수행기관**  
**한국전기연구원**

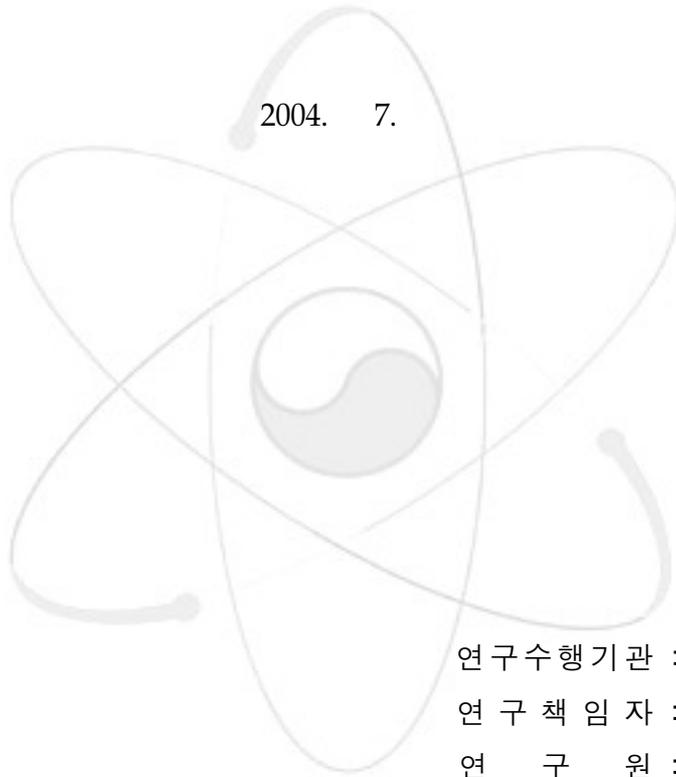
**한국원자력연구소**

# 제 출 문

한국원자력연구소장 귀하

본 보고서를 “디지털 원자로 안전계통 개발” 과제의 위탁과제 “안전계통 성능 시험장비 개발” 과제의 최종보고서로 제출합니다.

2004. 7.



연구수행기관 : 한국전기연구원

연구책임자 : 김 석 주

연구원 : 권 순 만

” 이 종 무

” 김 춘 경

” 조 창 희

” 천 종 민

” 박 민 국

# 요 약 문

## I. 제 목

안전계통 성능시험장비 개발

## II. 연구개발의 목적 및 필요성

본 연구의 목표는 원전 계측제어시스템 개발사업에서 개발되는 디지털 원자로 안전계통의 성능을 시험하기 위한 입출력 모의장치를 개발하는 것이다. 구체적으로는 원자로 보호계통용 입출력장치, 공학적안전설비 기기제어계통용 입출력장치, 그리고 이들의 신호를 측정하기 위한 데이터 입출력장치 등의 하드웨어를 개발한다. 또한 이들을 운용하기 위한 사용자 편의장치 소프트웨어도 개발되며 모의용 정지차단기도 개발된다.

## III. 연구개발의 내용 및 범위

본 연구에서는 입출력 모의 장치로 다음과 같은 기능을 가지는 시스템을 설계하고 구현하였다.

- 모든 원자로 정지변수 모의 가능
- 다중화 보호계통의 채널별 시험 가능
- 원자로 정지 차단기 모의 및 시각화 기능
- 사용하기 쉬운 인터페이스 개발
- 확장성이 좋은 구조

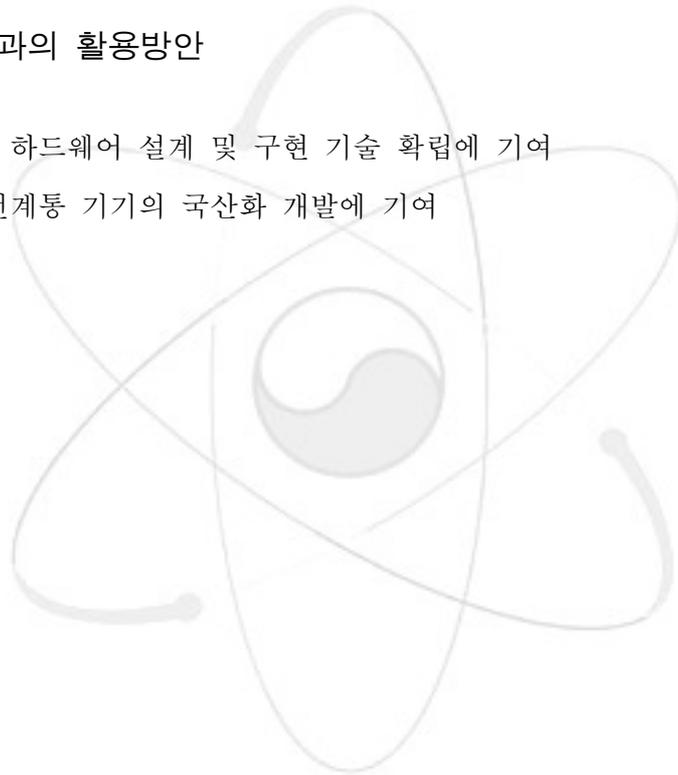
#### IV. 연구개발 결과

주요 연구 결과는 다음과 같다.

- RPS 용 신호발생기 개발
- ESF-CCS 용 신호발생기 개발
- 데이터 수집시스템 구축
- 모의용 RTSG 개발

#### V. 연구개발 결과의 활용방안

- 시뮬레이터 하드웨어 설계 및 구현 기술 확립에 기여
- 디지털 안전계통 기기의 국산화 개발에 기여



# Summary

## I . Subject

Development of a test equipment for performance evaluation of safety systems

## II . Purpose and Necessity of the Research

The purpose of this study is to develop a test equipment for performance evaluation of safety systems in nuclear power plants.

First, we develop an input-output simulator for reactor protection systems, ESF component control systems, and a data acquisition system for these I/O simulators as a hardware for this equipment. Then, we develop a software for human-machine interface system, which is easy-to-use and easy-to-modify. In addition, a simulation tool for a reactor trip switch gear is developed.

## III. Contents and Scopes of the Research

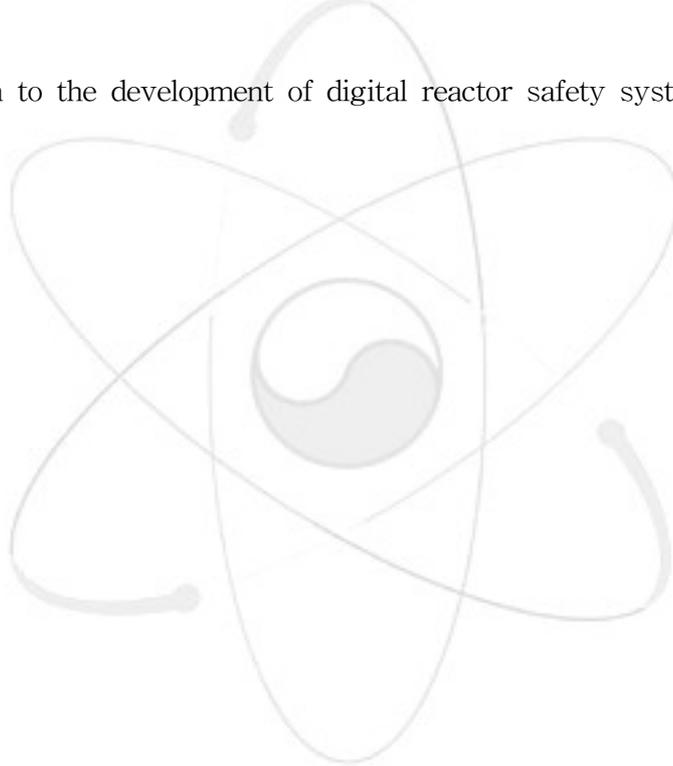
- simulation of all reactor trip variables
- simulation of each channel in redundant protection systems
- simulation and visualization of a reactor trip switch gear
- development of a easy-to-use human machine interface
- I/O simulator with easy-to-use and flexible structure

#### IV. Results of the Research

- Development of an I/O simulator for reactor protection systems
- Development of an I/O simulator for ESF-CCSs
- Development of a data acquisition system
- Development of a simulated reactor trip switch gear

#### V. Application Plan of the Research Results

- Application to the development of digital reactor safety systems



# 목 차

제 1 장 서 론 .....	11
제 2 장 성능시험장비 요소 기술 .....	13
제 1 절 실시간 운영체제 .....	13
제 2 절 VMEbus 시스템 .....	19
제 3 절 CompactPCI 개요 .....	31
제 4 절 통신기술 .....	32
제 3 장 안전계통 성능시험 장비 .....	36
제 1 절 보호계통 개요 .....	36
제 2 절 입출력 시뮬레이터 개요 .....	37
제 3 절 시스템 구성 .....	38
제 4 절 사용자 인터페이스 .....	52
제 4 장 결 론 .....	56
참 고 문 헌 .....	58
부 록 .....	59

# Contents

Chap. 1. Introduction .....	11
Chap. 2. Technology for Performance Evaluation System .....	13
Section 1. Real-time Operating System .....	13
Section 2. VMEbus System .....	19
Section 3. Overview of CompactPCI .....	31
Section 4. Communication Technieques .....	32
Chap. 3. Performance Evaluation System for Safety Systems .....	36
Section 1. Overview of Reactor Protection Systems .....	36
Section 2. Overview of Input-Ouput Simulators. ....	37
Section 3. System Configuration .....	38
Section 4. Human Machine Interface .....	58
Chap. 4. Concluding Remarks .....	56
Reference .....	58
Appendix .....	59

# 제 1 장 서 론

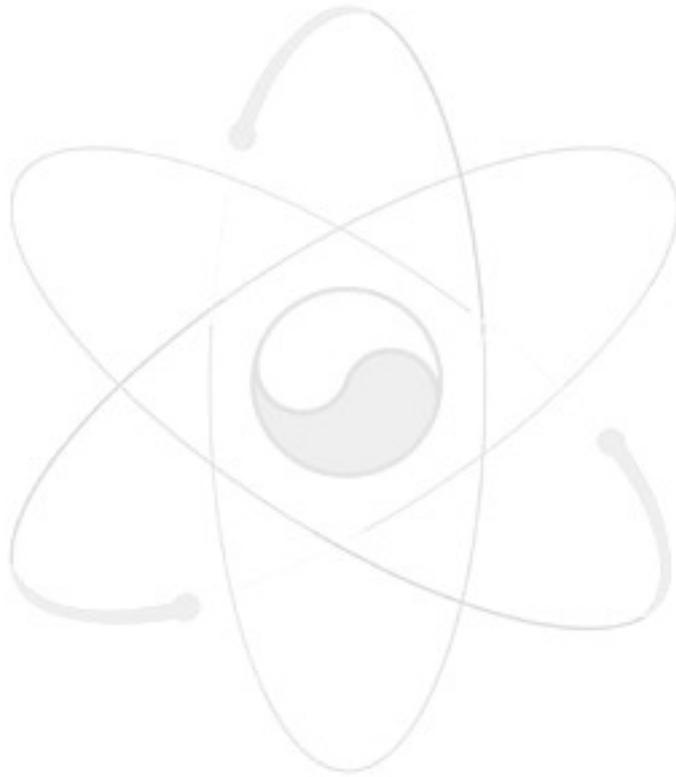
원자력 발전소의 안전계통은 발전소에 이상이나 사고가 발생했을 때 원자로를 안전하게 정지시키는 역할을 하는 매우 중요한 설비이다. 원자로 안전계통 설계기술은 거의 자립이 이루어졌지만 현재까지 기기는 전량 외국 제품이 도입된 상태로 기술 이전은 거의 불가능한 상태로 알려져 있다. 이에 원자력 발전소 안전계통 기기를 포함한 원전 계측 제어 기기의 국산화 개발 필요성이 강력하게 제기되어 “원전 계측 제어 시스템 개발 사업단”이 발족되었으며 원전 계측 제어 시스템에 관한 본격적인 연구개발이 시작되었다. 그 중 가장 핵심적인 세부과제가 원자력 발전소의 안전운전을 보장하는 “디지털 원자로 안전계통 개발”이라고 할 수 있다.

디지털 원자로 안전계통 개발은 기존에 확립된 계통설계 기술의 바탕 위에 얼마나 신뢰성이 있고 성능이 뛰어난 기기를 개발하느냐에 달려있다. 이를 위해서 반드시 필요한 설비가 성능시험을 위한 제반 설비이다. 이 장비는 설계기준사고를 포함한 원전의 각종 사고를 모의하여 안전계통 기기에 입력신호로 제공하고 이에 따르는 각종 데이터를 수집 분석할 수 있는 시스템으로 안전계통 기기 개발 및 시험에 없어서는 안될 중요한 설비라 할 수 있다. 성능시험장비는 개발과정에서는 안전계통 기기가 가져야 하는 여러 기능이 쉽게 확인될 수 있어야 하며 환경시험 등 각종 시험과정에서는 시스템의 정상 또는 이상상태가 파악될 수 있는 매우 유연한 장비이어야 한다.

또한 실제의 원자력 발전소 상황과 다른 실험실 환경하에서 기기의 기능 및 성능시험이 대부분 이루어지기 때문에 이를 위한 설비도 구축되어야 한다. 예를들면 실험실 환경에서 보호계통 기기에 전원을 공급할 수 있는 전원설비가 필요하며(실제 발전소에는 두산중공업이 국산화에 성공한 전원장치를 공급하고 있음) 보호계통 기기로부터 트립신호를 전달받아 원자로를 트립시키는 스위치 기어를 모의하기 위한 장치 등이 필요하게 된다.

현재 개발되는 보호계통 기기는 국내에서 개발 실적인 전무한 안전계통용 PLC (PLC for Safety Critical Systems)에 기반을 두고 있다. 따라서 PLC 기기 제작업체의 하드웨어 사양은 많은 상호검증(Cross-Check) 과정을 거치는 것이 바람직하며 본 연구에서도 그동안의 여러 발전소 기기의 설계 및 제작경험 바탕으로 적극 지원할 예정이다.

본 연구에서는 “원전 계측제어 시스템 개발 사업”의 세부과제인 “디지털 원자로 안전계통 개발”과제에서 1단계에 개발하는 디지털 보호계통 시제품과 ESF-CCS 시제품의 성능평가를 위한 제반 설비를 구축하고 하드웨어 기기의 사양검토와 제작지원을 함으로써 안전계통 기기 개발에 도움을 주고자 한다.



## 제 2 장 성능시험 장비 요소 기술

본장에서는 성능검증설비를 구성할때 필요한 기술들을 소프트웨어 및 하드웨어 관점에서 개괄적으로 서술하고자 한다. 현재 대부분의 시뮬레이터 시스템은 과거 폐쇄적인 구조에서 개방형 구조(Open Architecture)로 변해가는 추세이다. 이에 따라 본 연구에서는 H/W적 관점에서는 개방형 구조의 대표격인 VMEbus 기술과 현재 신기술로 각광받고 있는 CompactPCI 기술을 개괄적으로 소개하고 S/W적 관점에서는 점차 그 사용범위가 확대되고 있는 실시간 운영체계에 대해서 간략하게 살펴본다.

### 제 1 절 실시간 운영체 계

응용 프로그램이 점점 복잡해지고 그 기능이 다양해짐에 따라 내장형 제어기(embedded controller)에서도 실시간 운영체계의 필요성이 강력하게 대두되어 왔다. 내장형 제어기의 운영체계는 그 특성상 실시간성이 강조되기 때문에 보통의 운영체계보다 커널의 크기가 작고 효율적이어야 한다. 또한 인터럽트나 외부 이벤트에 대해서 결정론적 응답시간(deterministic response time)을 가져야 하며 통신 네트워크 지원이 필수적으로 요구되고 있다.

흔히 실시간이라고 하면 속도가 빠른 시스템이라고 말하는 경우가 많지만 보다 정확한 의미는 외부의 조건(event)에 대해 결정론적 시간(deterministic time)내에 응답할 수 있는 시스템이라고 할 수 있다. 예를들면 보통의 UNIX 시스템과 같이 어떤 프로그램의 수행시간을 확률론적으로 평균 몇 초라고 한다면 이 시스템은 실시간이라고 할 수 없다. 실시간 시스템은 최악의 상황(worst case)이 발생할 때 몇 초가 걸린다고 결정론적으로 말할 수 있어야 한다.

따라서 실시간 운영체계가 가지는 가장 중요한 사항은 결정론적 성능(deterministic performance)이라 할 수 있다. 일반적으로는 UNIX와 같은 다중 프로세스(multi-processing) OS의 개념에 실시간 개념을 도입하여 설계하고 있다.

실시간 운영체계를 사용하면 프로그램의 모듈화가 가능하고 CPU의 이용 효율을 높일 수 있는 장점이 있지만 태스크간의 동기나 우선도에 관련된 오류가 발생하면 디버깅하기가 어려운 단점도 있다.

현재 사용되고 있는 실시간 운영체계의 종류는 상당히 많이 있으며 무료로 사용할 수 있는 것도 몇가지가 있다. 여기서는 가장 많이 사용되는 것으로 알려진 미국의 Wind River사에서 개발한 VxWorks에 대해서 간략하게 서술하고자 하며 다른 OS의 경우도 거의 비슷하다고 할 수 있다.

VxWorks의 주요한 기능으로는 다음과 같은 것이 있다.

- 실시간 커널
  - 멀티 태스킹, 태스크간 동기
  - 인터럽트 핸들링, Watchdog timer
  - 메모리 관리
  - 통신
- POSIX 지원
  - POSIX 1003.1b를 지원한다.
- I/O 시스템
  - ANSI C 호환 I/O 지원
  - UNIX 및 POSIX I/O 지원
- I/O Driver
  - 터미널 드라이버 : 직렬 I/O 디바이스 및 Virtual I/O
  - 네트워크 드라이버 : Ethernet 및 shared memory
  - 파이프 드라이버 : 태스크간 동기
  - RAM 디스크 드라이버 : 메모리 레지던트 파일
  - SCSI 드라이버 : SCSI 하드 디스크 및 디크렛
  - 키보드 및 디스플레이 드라이버
- 로칼 파일 시스템
  - MS-DOS 호환
  - RT-11
  - Raw 디스크 파일
- 네트워크
  - TCP/IP, UDP/IP

- BSD 소켓 호환 프로그래밍 인터페이스
- rlogin, remote procedure call(RPC), SNMP
- proxy ARP, bootp
- 원격 파일 시스템
  - Network File System (NFS)
  - ftp, tftp

이들 중 여기서는 제어프로그램에서 가장 기본이 되는 태스크에 대해서만 간략하게 서술하고자 한다.

## 가. 태스크

VxWorks에서 태스크는 메모리에 로드되어 실행중인 독립적인 프로그램을 말한다. 태스크는 대부분의 시스템 자원을 액세스할 수 있으며 TCB(task control block)에 태스크에 관한 모든 정보가 저장되어 있다. 실제로 하나의 응용시스템에는 여러개의 태스크가 있을 수 있으며 시스템에서 스케줄링 알고리즘에 의해서 각 태스크별로 CPU를 점유하면서 수행된다.

VxWorks 태스크는 다음과 같은 상태를 가질 수 있으며 상태도는 그림과 같다.

- Ready
  - CPU를 사용할 권한이 주어지면 즉시 수행할 수 있는 상태
- Pended
  - 세마포어나 메시지등 자원을 기다리고 있는 상태로 자원이 주어지면 ready
- Delayed
  - 특정한 시간동안 수행을 멈추고 있는 상태
- Suspended
  - 수행이 불가능한 상태

태스크 스케줄링은 우선순위(Priority)에 의해서 결정(Preemptive priority scheduling)되며 같은 우선 순위를 가지는 태스크는 일정 시간 만큼 CPU를 사용하는 라운드 로빈(Round-Robin) 방식을 사용한다. 다음 그림 2-1은 태스크의 상태 천이도를 나타내고 있다.

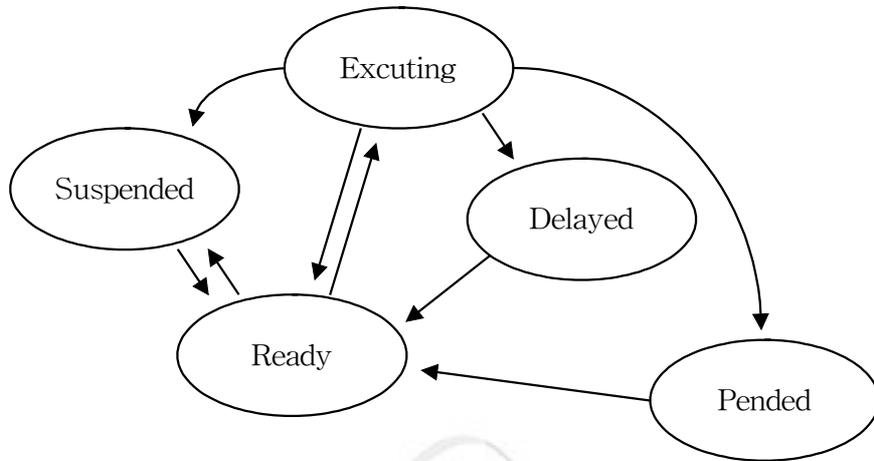


그림 2-1. 태스크의 상태 천이도

그림에서 알 수 있는 바와 같이 태스크가 수행되기 위해서는 반드시 ready 상태가 되어야 하며 시스템 스케줄러는 ready가 된 태스크중에서 가장 우선도가 높은 태스크를 수행시킨다.

#### 나. 태스크간 통신 (Inter-task Communication)

VxWorks에서 지원되는 태스크간 통신으로는 다음과 같은 것이 있다.

- 공유 메모리 (Shared memory)
- 세마포어 (Semaphore)
- 메시지 큐 및 파이프
- 소켓 및 RPC(Remote Procedure Call)
- 시그널

태스크간 통신중 가장 간단하면서도 단순한 방법은 공유메모리를 사용하는 것이다. 그러나 이 방법은 여러개의 태스크가 하나의 자원을 공유하면서 나올 수 있는 문제(race condition)에 주의해야 한다.

세마포어는 태스크간 동기, 상호배타(mutual exclusion)를 위해서 사용되며 메시지나 파이프는 태스크간에 통신을 위해서 사용된다.

보통 제어주기가 짧거나 실시간성이 강하게 요구되는 시스템에서는 시스템 오버헤드

를 고려하여 공유메모리와 세머포어를 가장 많이 이용한다. 이 경우 우선순위가 낮은 태스크가 시스템의 공유자원 사용시 pend됨으로써 이 자원을 기다리고 있는 높은 우선도의 태스크도 동시에 pend되는 deadlock 현상에 주의해야 한다.

#### 다. 프로그램 개발 순서

실시간 운영체계를 사용해서 제어 프로그램을 작성하는 순서를 그림 2-2에 보였다. 실시간 운영체계를 이용할 때 가장 중요한 점은 시스템 분석에 따른 태스크 설계이다. 태스크가 너무 많으면 태스크간 전환시 시스템의 오버헤드가 많아지고 태스크간 통신이 많아지기 때문에 시스템의 효율이 낮아지고 또 너무 적어도 프로그램의 유지 보수 및 모듈화가 어렵기 때문이다. 보통 적당한 embedded 제어기 태스크의 수는 10개 미만으로 알려져 있다.

또한 embedded 시스템에서는 인터럽트도 매우 많이 사용되기 때문에 인터럽트 처리 루틴 설계시에도 시스템의 효율이 저하되지 않도록 주의할 필요가 있다. 즉, 인터럽트 처리 루틴은 되도록 간략하고 효율적이어야 하고 나머지는 해당 태스크에서 우선순위별로 수행될 수 있도록 설계하여야 한다.

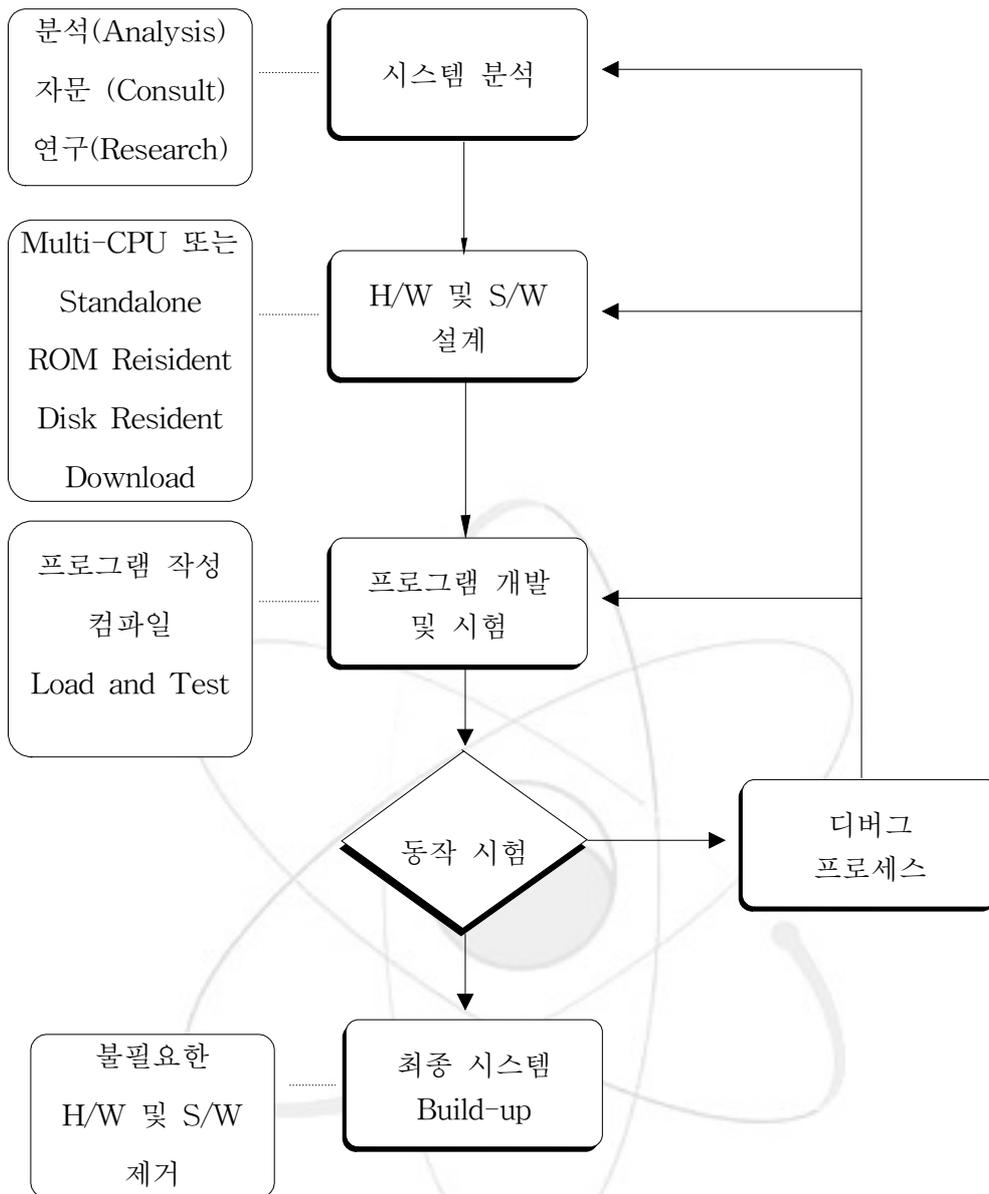


그림 2-2. 프로그램 개발 순서

## 제 2 절 VMEbus 시스템

VMEbus 시스템은 1979년 Motorola에서 68K계열의 시스템 버스로 VERSAbus를 만든 이래 유로카드의 기계적 규격을 만족시키면서 VME(VERSA Module Eurocard)로 되었다. 1981년 VME Manufacturer's Group이 탄생하였고 1983년 IEEE에서 표준화 작업을 하였다.

### 1. VMEbus의 특징

표 2-1. VMEbus의 특징

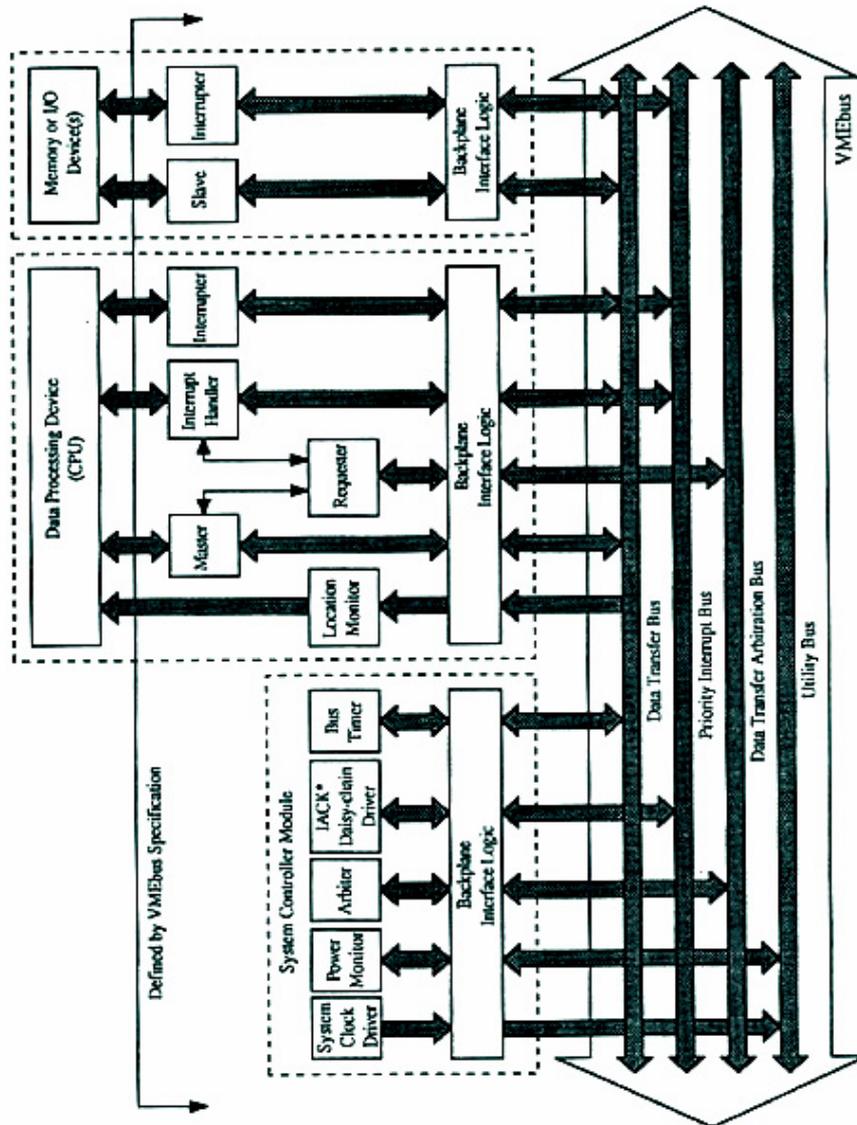
항 목	사 양	비 고
Architecture	Master/Slave	
Transfer Mechanism	Asynchronous non-multiplexed opt. multiplexed <sup>(+)</sup>	No sync. clock
Addressing 범위	16-bit (short I/O) 24-bit (standard) 32-bit (extended) 64-bit (long) <sup>(+)</sup>	Dynamic Addressing
데이터 크기	8,16,24,32-bit,64-bit <sup>(+)</sup>	Dynamic data width
비정렬 전송	가능	
에러 검출	가능	BERR*
데이터 전송 속도	40 Mbyte/sec 80 Mbyte/sec <sup>(+)</sup>	
인터럽트	7 레벨	Priority interrupt
멀티프로세싱	1 - 21 Processors	Bus Arbitration
시스템 진단	가능	SYSFAIL*
Mechanical standard	Single height(3U, J1) Double height(6U, J1/J2)	160 X 100mm Eurocard 160 X 233mm Eurocard
국제규격화 여부	Yes	IEC 821, IEEE 1101, 1014

## 2. 다른 BUS와의 비교

표 2-2. 버스의 비교

BUS	동기 방식	멀티플렉싱 여부	데이터 크기 (bit)	어드레스 크기	인터럽트 (레벨)	멀티프로세싱	Card Size (mm)	커넥터	주도 업체 (기구)
IBM-PC	A	N	8	20	Y(6)	N	335 X 106	Card edge	IBM
Multibus	A	N	8,16	8,16 20,24	Y(8)	Y	305 X 171	Card edge	IEEE 796
Multibus II	S	Y	8,16 20,24	32	N	Y	233 X 220 Eurocard	DIN 41612	Intel
Nubus	S	Y	32	32	N	Y	233 X 160 220 or 280 Eurocard	DIN 41612	TI
Q-Bus	A	Y	8,16	16,18 22	Y(4)	Y	214 X 132 257 or 393	Card edge	DEC
STD Bus	A	N	8	16	Y(2)	Y	114 X 165	Card edge	IEEE 961
S-100	A	N	8,16	16,24	Y(8)	Y	254 X 130	Card edge	IEEE 696
Unibus	A	-	16	16,18	Y(8)	Y	214 X 132 257 or 393	Card edge	DEC
VERSAbus	A	N	8,16 32	16,24 32	Y(7)	Y	368 X 235	Card edge	IEEE 970
VMEbus	A	N Y <sup>(+)</sup>	8,16 24,32 64 <sup>(+)</sup>	16,24 32 64 <sup>(+)</sup>	Y(7)	Y	160 X 100 or 233 Eurocard	DIN 41612	IEEE 1014

### 3. VMEbus의 기능 블록도



### 4. VMEbus의 사양

다음에 VMEbus의 각 사양에 대해서 간략하게 서술한다.

(가) 기능 모듈(Functional Module)

- Master

DTB(Data Transfer Bus) 사이클을 기동하는 기능을 가진 모듈로 CPU나 DMA Controller가 있는 주변기가 이에 해당된다. DTB Master라고도 하며 한개의 VME 시스템에는 최대 20개까지 존재할 수 있다.

- Slave

마스터에 의해 기동되는 데이터 전송 사이클에 응답하는 기능을 가진 모듈로 Memory 혹은 I/O 모듈이 해당된다. DTB Slave라고도 한다.

- Location Monitor

특정 어드레스 버스가 감지되면 on-board signal을 내보낸다. 모든 모듈에 broadcasting용으로 사용한다.

- Bus Timer

데이터 전송간에 걸리는 시간을 측정하여 버스 에러 신호(BERR\*)를 내보낸다.

- Interrupter (Interrupt Requester)

인터럽트 요구를 인터럽트 핸들러에게 보내는 역할을 한다.(Interrupt acknowledge cycle.중에 STATUS/ID(8, 16, 32bit)를 인터럽트 핸들러에 보냄)

- (Interrupt) Handler

인터럽터의 요구에 응답하여 Acknowledge 신호(IACK\*)를 출력하고 인터럽터로부터 STATUS/ID를 읽는다.(반드시 Bus Requester를 가져야 함)

- IACK\* Daisy-Chain Driver

Interrupt acknowledge cycle중에 IACKIN\*/IACKOUT\* daisy chain을 기동하여 한개의 STATUS/ID를 읽을 수 있게 한다.

- (Bus) Requester

Master 또는 Interrupt Handler가 DTB 사용을 위해 arbiter에 요청할때 이용한다.

- (Bus) Arbiter

여러개의 Master로부터 Bus 사용요청을 받아서 버스 조정을 하고 사용허가를 주는 역할을 한다(One master at a time). 반드시 슬롯 01에 존재해야 한다.

- System Clock Driver

16MHz utility clock을 모든 Bus module에 제공한다(SYSCLK). VMEbus는 비동기 방식이기 때문에 CPU clock과 동일할 필요는 없다.

- Power Monitor

System Reset(SYSRESET\*)과 AC Power fail시 ACFAIL\*을 출력한다.

(나) Sub-Busses

- Data Transfer Bus

Master와 Interrupt Handler가 사용하며 다음과 같이 구성되어 있으며 VMEbus에는 통상의 어드레스 라인이외에 Address Modifier (AM0-AM5) 신호선이 6개 있다. AM 코드는 DTB slave측에 어드레스 크기와 bus cycle의 종류를 알려주는 기본적인 역할외에 사용자 정의 코드를 이용하면 다수의 마스터와 다수의 슬레이브간에 시스템 분할이나 Memory mapping등의 목적에도 사용될 수 있다.(표 2-3) 또한 데이터 폭은 LWORD\*, DS0\*, DS1\*, A01에 의해서 지정된다.

Address	Data	Control
A01 - A31	D00-D31	AS*
AM0 - AM5		DS0*
DS0*		DS1*
DS1*		BERR*
LWORD*		DTACK*
		WRITE*

- Data Transfer Arbitration Bus

DTB 사용 요구 및 허가와 관련된 Bus 신호

BR0*	BG0IN*	BG0OUT*	BBSY*
BR1*	BG1IN*	BG1OUT*	BCLR*
BR2*	BG2IN*	BG2OUT*	
BR3*	BG3IN*	BG3OUT*	

- Priority Interrupt Bus

7개의 Interrupt level과 관련된 Bus

IRQ1*	IRQ4*	IRQ7*	IACK*
IRQ2*	IRQ5*		IACKIN*
IRQ3*	IRQ6*		IACKOUT*

• Utility Bus

SYSCLK, SYSRESET\*, SYSFAIL\*, ACFAIL\*

SYSFAIL\*은 시스템에 일부 고장이 발생한 것을 표시한다. 보통의 경우 전원 투입시 assert 되며 보드의 테스트 및 초기화가 정상적으로 행해지면 negate 시킨다. ACFAIL\*은 Power monitor에서 출력하는 신호로 AC 전원장해를 알려준다.

표 2-3. Address Modifier Code

Address Modifier (Hex)	IACK*	No. Address bits	Transfer Type
3F	1	24	Standard supervisory block transfer
3E	1	24	Standard supervisory program access
3D	1	24	Standard supervisory data access
3C	1	24	Standard supervisory 64-bit block transfer
3B	1	24	Standard non-privileged block transfer
3A	1	24	Standard non-privileged program access
39	1	24	Standard non-privileged data access
38	1	24	Standard non-privileged 64-bit block transfer
2D	1	16	Short supervisory access
29	1	16	Short non-privileged access
10-1F	1	-	User Defined
0F	1	32	Extended supervisory block transfer
0E	1	32	Extended supervisory program access
0D	1	32	Extended supervisory data access
0C	1	32	Extended supervisory 64-bit block transfer
0B	1	32	Extended non-privileged block transfer
0A	1	32	Extended non-privileged program access
09	1	32	Extended non-privileged data access
08	1	32	Extended non-privileged 64-bit block transfer
07	1	64	Long supervisory block transfer
06	1	64	Long supervisory program access
05	1	64	Long supervisory data access
04	1	64	Long supervisory 64-bit block transfer
03	1	64	Long non-privileged block transfer
02	1	64	Long non-privileged program access
01	1	64	Long non-privileged data access
00	1	64	Long non-privileged 64-bit block transfer
XX	0	3	Interrupt acknowledge cycle

XX : Don't care state, - : undefined, 0 : low level signal, 1 : high level signal

(다) Pin 배열

표 2-4. VMEbus P1/J1의 핀 배열

P1/J1			
Pin 번호	A 열	B 열	C 열
1	D00	BBSY*	D08
2	D01	BCLR*	D09
3	D02	ACFAIL*	D10
4	D03	BG0IN*	D11
5	D04	BG0OUT*	D12
6	D05	BG1IN*	D13
7	D06	BG1OUT*	D14
8	D07	BG2IN*	D15
9	GND	BG2OUT*	GND
10	SYSCLK	BG3IN*	SYSFAIL*
11	GND	BG3OUT*	BERR*
12	DS1*	BR0*	SYSRESET*
13	DS0*	BR1*	LWORD*
14	WRITE*	BR2*	AM5
15	GND	BR3*	A23
16	DTACK*	AM0	A22
17	GND	AM1	A21
18	AS*	AM2	A20
19	GND	AM3	A19
20	IACK*	GND	A18
21	IACKIN*	SERCLK <sup>(+)</sup>	A17
22	IACKOUT*	SERDAT* <sup>(+)</sup>	A16
23	AM4	GND	A15
24	A07	IRQ7*	A14
25	A06	IRQ6*	A13
26	A05	IRQ5*	A12
27	A04	IRQ4*	A11
28	A03	IRQ3*	A10
29	A02	IRQ2*	A09
30	A01	IRQ1*	A08
31	-12 VDC	+5V STDBY	+12 VDC
32	+5 VDC	+5 VDC	+5 VDC

표 2-5. VMEbus P2/J2의 핀 배열

P2/J2			
Pin 번호	A 열	B 열	C 열
1	사용자 정의	+5 VDC	사용자 정의
2	사용자 정의	GND	사용자 정의
3	사용자 정의	RESERVED <sup>(+)</sup>	사용자 정의
4	사용자 정의	A24	사용자 정의
5	사용자 정의	A25	사용자 정의
6	사용자 정의	A26	사용자 정의
7	사용자 정의	A27	사용자 정의
8	사용자 정의	A28	사용자 정의
9	사용자 정의	A29	사용자 정의
10	사용자 정의	A30	사용자 정의
11	사용자 정의	A31	사용자 정의
12	사용자 정의	GND	사용자 정의
13	사용자 정의	+5 VDC	사용자 정의
14	사용자 정의	D16	사용자 정의
15	사용자 정의	D17	사용자 정의
16	사용자 정의	D18	사용자 정의
17	사용자 정의	D19	사용자 정의
18	사용자 정의	D20	사용자 정의
19	사용자 정의	D21	사용자 정의
20	사용자 정의	D22	사용자 정의
21	사용자 정의	D23	사용자 정의
22	사용자 정의	GND	사용자 정의
23	사용자 정의	D24	사용자 정의
24	사용자 정의	D25	사용자 정의
25	사용자 정의	D26	사용자 정의
26	사용자 정의	D27	사용자 정의
27	사용자 정의	D28	사용자 정의
28	사용자 정의	D29	사용자 정의
29	사용자 정의	D30	사용자 정의
30	사용자 정의	D31	사용자 정의
31	사용자 정의	GND	사용자 정의
32	사용자 정의	+5 VDC	사용자 정의

(라) VMEbus Mnemonics

- Address 관련
  - ADO (Address Only)
  - A64(long), A32(extended), A24(standard), A16(short)
- Data 관련
  - D08(O), D08(EO), D16, D32, D64
  - BLT(Block Transfer)
  - RMW(Read-Modify-Write)
  - UAT(Unaligned Transfer)
- Bus 관련
  - BTO(x) : Bus Timeout(DS0\*, DS1\*이 x usec 이상이면 BERR\*)
- Interrupt 관련
  - I(x) : IRQx\* 발생
  - IH(x) : Interrupt Handler가 IRQx\*에 응답
  - IH(x-y) : Interrupt Handler가 IRQx\*~IRQ\*y 에 응답
- Bus Arbiter 관련
  - PRI(Priority) : 현재 버스를 사용하는 마스터보다 높은 레벨의 버스 요구시 arbiter는 BCLR\* 신호를 출력하여 버스 개방을 요구한다.
  - RRS(Round Robin Select) : 라운드 로빈 방식으로 Bus 사용허가.
  - SGL(Single Level) : BR3\*와 BG3IN\*~BG3OUT\* Daisy-chain 만 사용하는 경우로 가장 간단한 방식.
- Requester Bus Release 관련
  - ROAK(Release-On-Acknowledge)  
Interrupt acknowledge cycle 중 interrupt request 해제
  - ROR(Release-On-Request)  
현재 버스를 사용하고 있는 마스터는 버스가 필요없더라도 BBSY\*를 해제하지 않고 BRx\*가 오면 해제한다.
  - RORA(Release-On-Register-Access)  
마스터가 on-board status 또는 control register access시 BBSY\* 해제

- RWD(Release-When-Done)

마스터가 버스를 필요로 하지 않으면 BBSY\* 해제

(마) 데이터 전송

VME의 데이터 전송과 관련된 버스 사이클은 read/write, block transfer, read-modify-wirte, address-only, interrupt acknowledge 사이클이 있다.

표 2-6. 데이터 전송시 신호

Master 출력	AS*	Address strobe
	DS1*	Even data byte strobe
	DS0*	Odd data byte strobe
	LWORD*	Long word select
	WRITE*	Read or Write
	IACK*	"H" 일때 데이터 전송 사이클임을 표시
Slave 출력	DTACK*	Data Acknowledge (마스터에 대한 확인 응답으로 정상종료시 사용)
	BERR*	정상으로 종료하지 않을때의 출력

Block Transfer Cycle(Burst mode)은 마스터가 블록전송을 위한 AM 코드와 어드레스를 출력하면 블록전송이 가능한 슬레이브는 마스터로부터 출력된 어드레스를 어드레스 카운터에 래치한다. 마스터는 최초의 데이터를 전송하여도 AS\*를 negate 하지 않으며 슬레이브에서의 DTACK\*에 대하여 데이터 스트로브(DSx\*)만 구동한다. 슬레이브는 DSx\*가 negate될 때 어드레스 카운터를 증가시킨다.

Address only cycle은 Rev. C에서 추가되었으며 DTB master는 Address, IACK\*, AM, AS\*, LWORD\*만 사용하고 데이터 전송은 일어나지 않는다. DTB slave도 DTACK\*로 응답하지 않으며 마스터는 DTACK\*나 BERR\* 없이도 버스 사이클을 종료한다. 어떤 어드레스를 broadcasting할 때 사용된다.

## 라. Location Monitor

버스상의 특정 어드레스(virtual address인 경우도 가능) 액세스를 검출하는 기능을 가진 모듈을 나타낸다. 예를 들면 마스터가 특정 어드레스를 액세스하는 것을 슬레이브가 검출하였을 때 자신의 보드상의 CPU에 인터럽트를 걸 수 있도록 하는데 이용된다.(Plug-and-Play)

## 마. Bus Timer

데이터 스트로브를 항상 감시하여 일정 시간이 흐른뒤에도 슬레이브로 부터 응답(DTACK\*)이 없으면 BERR\*을 assert하여 버스 사이클을 종료하는 기능을 하는 모듈을 말한다.

BTO(x) mnemonic은 데이터 스트로브를 assert하고 x us 이후에도 응답이 없으면 2x us이내에 BERR\*을 assert하는 것을 나타낸다.

## 바. Bus Arbitration

여러개의 버스 마스터가 DTB를 공유하기 위해서는 어느 한순간에 한개의 마스터만이 DTB를 사용할 수 있도록 조정할 필요가 있다. 이때 DTB 사용을 조정하는 것을 Bus arbitration이라고 하며 조정하는 기능을 가진 모듈을 Bus arbiter라 부르고 arbiter에 버스 사용을 요구하는 기능 모듈을 bus requester라 부른다.

VMEbus 사양서에는 반드시 슬롯 1에 bus arbiter가 설치되어야 한다고 되어 있다.

VME에서는 DTB 마스터에 대한 버스의 사용효율을 높이기 위해서 다음과 같은 3 가지 방식의 DTB arbitration option이 규정되어 있다.

### 1. 고정 우선도 방식 (PRI ; Priority Arbiter)

이 방식은 DTB 마스터 각각에 우선순위(priority)를 주고 arbiter가 현재 버스를 사용 중인 마스터보다 우선순위가 높은 마스터로부터 버스 사용 요구를 검출하면 현재 버스 사용 마스터에 BCLR\*(bus clear) 신호를 assert하여 버스 개방을 요구하여 개방을 확인한 후 버스 사용권을 넘겨주는 방식이다. BR3\*가 우선도가 가장 높으며 BR0\*가 가장 낮다. 고정 우선도 방식은 버스 사용 효율이 높은 반면에 arbiter 설계가 복잡하다.

### 2. 라운드 로빈 방식 (RRS ; Round-Robin Arbiter)

각 마스터에 순번을 주고 그 순번대로 DTB 사용권을 주는 방식이다. 예를 들어 현재 순번 1의 버스 마스터가 버스를 사용하고 있다고 하면 순번 3의 마스터가 버스 사용 요구를 해도 사용권은 주어지지 않으며 순번 1의 마스터가 사용을 종료하고 순번 2의 마스터도 사용을 종료해야(사용요구가 없으면 규정시간 후) 순번 3에 버스 사용권이 주어진다. 따라서 각 마스터의 우선순위는 모두 동일하며 버스 사용권은 arbiter에 의해서 순번대로 serial polling된다고 할 수 있다.

### 3. 싱글 레벨 방식 (SGL ; Single Level Arbiter)

가장 간단한 방식으로 버스 사용은 BR3\*만으로 요구하며 우선 순위는 BG3IN\*~BG3OUT\* daisy-chain에 의해서 결정된다. 따라서 보드가 실장되어 있는 슬롯 위치에 의해서 우선순위가 정해지기 때문에 마스터가 많은 시스템에서는 버스 사용 효율이 낮아진다.

## 사. 인터럽트

VME의 인터럽트 레벨은 7개가 있으며 IRQ7\*이 가장 높다.

### 1. 인터럽트 핸들러

인터럽트 핸들러는 DTB를 사용하여 인터럽트를 acknowledge하고(IACK\* assert) 인터럽터로부터 STATUS/ID를 읽는 역할을 하는 모듈이다. 인터럽트 핸들러는 인터럽트 acknowledge 사이클 중에 버스를 사용하여야 하므로 반드시 버스 requester 모듈을 가지고 있어야 한다.

인터럽트 핸들러가 버스 requester를 사용하여 버스 사용권을 얻으면 IACK\*를 assert 하여 인터럽트 acknowledge 사이클 임을 알리고 동시에 어드레스 라인 A01~A03을 사용하여 검출된 요구 레벨을 출력한다. 그후 AS\*와 LWORD\*, DS0\*, DS1\*을 구동하고 인터럽터로부터 DTACK\*를 검출하면 데이터 버스상의 STATUS/ID를 읽고 인터럽트 시퀀스를 시작한다.

### 2. 인터럽터

인터럽터는 디바이스로부터 인터럽트 요구를 받아서 IRQx\*를 assert 함으로써 인터럽트 핸들러에게 인터럽트가 발생했음을 알려주는 모듈이다.

### 제 3절 CompactPCI 개요

1994년에 산업용 컴퓨터 제조업체들은 PCI 버스 기술을 산업용으로 이용하기 위해서 PCI 산업용컴퓨터 제조업체그룹(PCI Industrial Computer Manufacturer's Group; PCIMG)을 결성하였다. 이 그룹에는 IBM, DEC, HP등 대기업들도 참여하고 있으며 PCIMG에서 1995년에 PCI 기술과 유로카드 규격, IEC 1706 2-mm 핀과 소켓규격을 접목시킨 CompactPCI 규격을 탄생시켰다.

CompactPCI는 하드웨어 및 소프트웨어 관점에서 보면 PCI 기술과 완전히 호환되기 때문에 PCI 디바이스를 전혀 수정없이 이용할 수 있는 큰 장점이 있다. 이는 기존의 데스크탑 PC의 PCI 기술이 산업용으로 바로 적용될 수 있다는 것을 의미하기 때문에 embedded 제어기 시장에 상당한 영향을 미칠 것으로 생각된다.

PCI 버스는 VMEbus와 달리 동기방식을 사용하기 때문에 속도가 빠르다. 또한 가격이 저렴하고 Plug-and-Play 기능을 지원하기 때문에 사용하기 쉬운 장점이 있다.

다음 그림은 PCI 버스의 기능을 표시하고 있다.

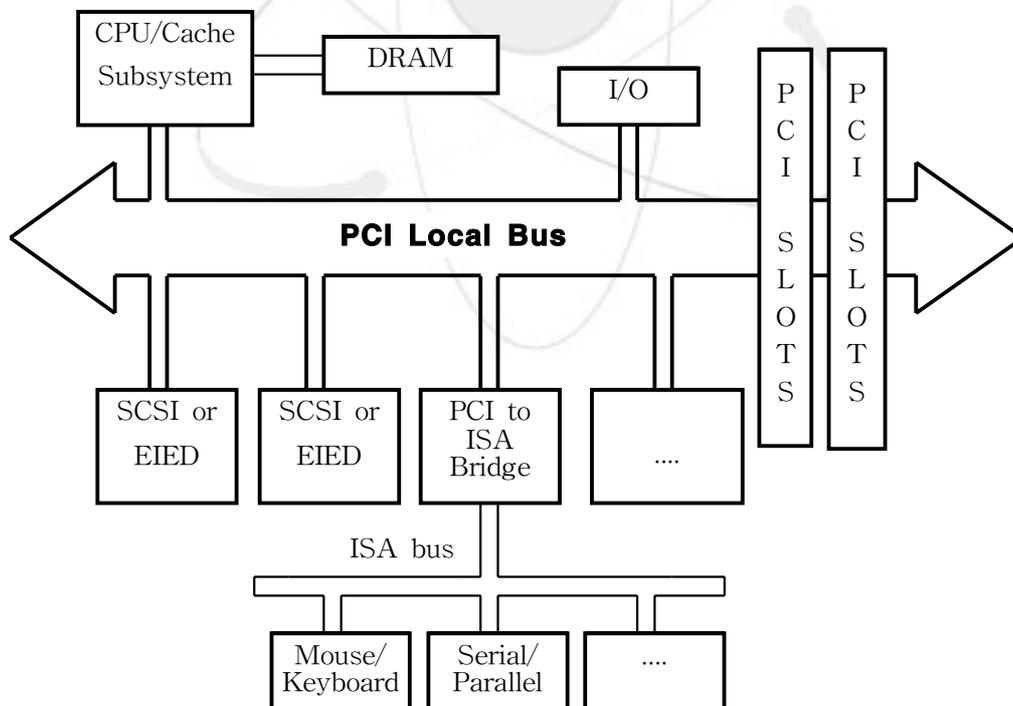


그림 2-4. PCI Local Bus의 구조

## 제4절 통신 기술

시플래이더 시스템의 통신기술은 크게 두가지로 요약될 수 있다. 하나는 상위시스템간의 연결을 위한 통신기술이고 또 하나는 하위시스템간의 연결을 위한 통신이다. 상위시스템간의 통신에는 보통 LAN 기술이 사용되고 실시간 통신이 요구되는 하위시스템의 통신에는 Fieldbus 기술이 많이 사용되고 있는 추세이다.

통신기술의 범위는 대단히 넓고 방대하기 때문에 여기서는 산업용 제어시스템의 통신을 위한 개괄적인 내용만 서술하기로 한다.

### 가. Fieldbus의 개요

CIM( Computer Integrated Manufacturing)의 가장 하위에는 센서, 액츄에이터, 제어기에 대한 사용자 접속등과 같은 필드의 입출력 기기들이 위치하고 있다. 지능형 또는 비지능형 센서들은 유량, 수위, 압력, 속도, 위치, 토크, 온도와 같은 양적인 값들을 측정하는데 사용된다. 액츄에이터는 밸브와 같은 단순한 것으로 부터 모터 속도제어기, 용접 제어기와 같은 지능형의 복잡한 것까지 다양한 종류가 있다. 사용자 접속은 작은 사용자 패널이나 표시장치에 데이터 로거등을 갖추고 있는 것이 대부분이다. 제어기기들은 PLC, CNC, 로봇트, 또는 기타 공정제어용 컴퓨터등에 해당된다. 대부분의 응용분야에서는 센서와 액츄에이터는 20개에서 400개에 이른다. 아주 많은 경우에는 4000여개의 기기들이 사용되는 경우도 있는데 이러한 기기들은 하나의 데이터 집중기와 일대일로 데이터를 교환한다. 공정의 설정(configuration)이나 유지(maintenance)에 필요한 데이터를 제외하고는 대부분의 입출력 데이터들은 1비트에서 4비트정도로 구성된다. 이와 같이 생산 공정의 가장 하위에 있는 통신망에서의 데이터의 교환은 1초에 10000개까지의 기기들을 주기적으로 폴링함으로서 이루어진다. 비주기적인 데이터 교환은 정상상태에서 초당 200개정도의 적은 수로 이루어지지만 비상상황에서는 2000개까지 크게 증가한다. 대부분의 응용분야에서는 서로 다른 주기를 가지는 데이터의 교환이 함께 이루어진다. 이러한 데이터의 교환을 처리할 수 있는 통신망을 필드버스( Fieldbus )라 한다. 필드버스는 각각의 데이터에 대해 시간적 또는 공간적인 일관성과 유효시간이 보장되도록 하

는 방법을 반드시 제공해야 한다. 비주기적인 사건을 처리하는 시간의 해상도는 보통 1ms이상으로 설정된다.

필드버스 통신망에서는 전송선의 단순화를 위해 버스 토폴로지가 보통 사용되고 버스의 길이는 수미터에서 2000미터까지 다양하다. 전송매체로는 차폐된 꼬인선(shielded twisted pair)이나 광파이버등이 적합하다.

필드버스 통신망에서 제공해야 하는 서비스를 정리하면 다음과 같은 것들이 있다.

- 유효시간이 지정된 데이터에 대한 주기적인 전송 서비스
- 주기적인 데이터를 다수의 수신자에게 전송하는 서비스
- 기기의 상태나 설정을 표시하는 비주기적인 데이터의 전송
- 비실시간 일대일 통신으로서 우선순위, 확인, 순서화등이 요구될수 있는 데이터의 전송
- 기기 설정 데이터 또는 사용자의 프로그램의 내려받기 또는 올려주기
- 사용자 프로그램의 시작, 중지, 속개등의 명령

Fieldbus의 종류는 매우 다양하며 다음과 같은 것이 있다. 상세한 정보는 관련 문헌을 참조하기 바란다.

- PROFIBUS
- FIP
- CAN
- BITBUS
- Foundation Fieldbus
- ARCNET
- InterBus-S
- DeviceNet
- LonWorks

## 나. LAN 기술

LAN은 신호방식에 따라 baseband 및 broadband 방식으로 나눌 수 있으며 baseband 방식은 Digital 신호를 변조하지 않고 한 Line에 한 주파수 신호를 그대로 전송하는 방식

이다. 이 방식은 동시 양방향 통신이 불가능하기 때문에 half-duplex 방식만 가능하고 고속으로 전송시 신호감쇄 현상 때문에 거리상의 제약이 있지만 구현이 단순하고 가격이 저렴하다. Ethernet에서 사용하는 방식이다.

Broadband 방식은 아날로그 신호를 여러 주파수 채널로 분할하여 전송하는 방식으로 full-duplex 통신이 가능하고 많은 정보를 동시에 보낼 수 있는 장점이 있지만 가격이 비싸고 유지보수에 불편함이 있다. CATV가 이 기술을 적용하고 있다.

LAN을 위한 전송매체로는 다음과 같은 것이 있다.

- Twisted Pair Wire
- Coaxial Cable
- Fiber Optic Cable
- 무선

다음으로 통신 채널을 액세스하는 방법으로 구분하면 다음과 같이 나눌 수 있다.

- CSMA/CD (Carrier Sense Multiple Access/Collision Detection)

Xerox사의 Ethernet에서 사용되는 방식으로 IEEE 802.3으로 표준화되었으며 버스 형태의 네트워크에서 많이 사용된다. 소수의 기기간에 통신할 때 가장 성능이 좋으며 기기가 많아지면 급격하게 성능이 떨어지는 단점이 있지만 가격이 저렴하기 때문에 가장 많이 사용된다.

- 토큰 패싱 버스 LAN

IEEE 802.4 규격으로 물리적으로는 버스구조를 가지지만 논리적으로는 링 형태의 구조를 가진다. 통신부하가 증가하여도 영향이 적지만 토큰이 전달되기 때문에 적은 부하에도 기본적인 시스템 overhead가 있다. ARCnet이 대표적인 시스템이다.

- 토큰 패싱 링 LAN

IEEE 802.5 표준으로 IEEE 802.4와 거의 같은 성능을 가지는 ring 형태의 LAN이고 IBM의 토큰 링으로 대표된다.

시스템 topology에 의한 구분으로는

- Star Topology LAN

중앙에서 모든 기기가 point-to-point로 연결되는 형태로 교환기를 사용하는 전화망에 사용되며 시스템의 일괄 변경과 데이터베이스 관리가 쉽고 고장 발견이 쉬운 장점이 있지만 중앙제어기가 고장나면 전체 시스템의 동작이 정지되는 단점이 있다.

- Bus Topology LAN

CSMA/CD 방식에 많이 사용되며 모든 기기들이 버스에 T자형으로 연결되어 point-to-point 형태로 연결된다. 확장성이 뛰어나고 비용도 저렴하고 기기가 고장나도 통신에 영향을 미치지 않는 장점이 있다.

- Ring Topology LAN

통신제어가 간단하고 잡음에 강하기 때문에 신뢰성이 높으며 장거리에도 사용할 수지만 노드의 변경이나 추가가 어려운 단점이 있다.

통신 프로토콜로는 TCP/IP, UDP/IP가 가장 많이 사용되며 이들에 관한 문헌은 대단히 많이 있으므로 여기서는 언급하지 않기로 하고 실시간 제어에 LAN기술을 사용할 때 고려해야 할 점만 언급한다.

Ethernet이 사용하는 CSMA/CD 방식은 그 특성상 실시간성이 떨어진다는 점이다. 즉 통신 속도가 확률적으로 계산되기 때문에 hard real-time 시스템이나 정해진 속도로 통신을 해야하는 경우는 문제가 있다.

이를 극복하기 위한 방법은 별도의 통신 프로토콜을 이용하거나 TCP/IP 통신의 효율을 최대한 높인 Real-time TCP/IP를 쓰거나 해야 한다.

## 제 3 장 안전계통 성능시험 장비

여기서는 구축된 하드웨어와 개발된 소프트웨어를 중심으로 결과적인 내용만 간략하게 서술하고자 하며 자세한 사항은 “성능시험 장비 사용자 설명서”에 기술될 예정이다.

### 제 1 절 보호계통 개요

보호계통을 설계하는 원칙으로는 다중성(Redundancy), 다양성(Diversity), 물리적 분리(Physical Separation), 독립성(Independence) 등이 있다. 이들은 여러 가지 수단을 통하여 철저히 분석되고 검증을 받는다.

일반적으로 디지털 원자로 보호계통에는 원자로를 정지시킬 수 있는 각각의 변수에 대하여 전기적 및 물리적으로 격리된 4개의 센서 신호가 입력된다. 이들 4개중 2개의 센서의 측정치가 원자로 정지 설정치를 넘으면(2-out-of-4) 원자로를 정지시키는 명령이 출력된다. 이때 원자로 정지 설정치를 초과하였는지를 감시하는 프로세서를 비교논리 프로세서(Bistable processor), 비교논리 프로세서의 출력을 비교하여 2/4 논리를 구성하는 프로세서를 동시논리 프로세서 (Coincidence processor)라고 한다. 그림 3-1은 완전 이중화된 비교논리 및 동시논리 프로세서를 가지는 디지털 보호계통의 4개의 채널중 1개의 채널의 구성예를 표시하고 있다. 경우에 따라서는 동시논리 프로세서의 디지털 출력을 2중화 하기도 한다. 그림에서 CPC는 노심보호연산기 계통을 나타낸다.

참고적으로 원자로 정지에 관계된 공정변수는 다음과 같은 것이 있다.

- 출력 증가율
- 국부 출력 밀도
- 핵비등이탈율
- 가압기 압력
- 증기발생기 수위
- 증기 발생기 압력
- 격납 용기 압력
- 냉각재 유량
- 수동 정지

이들 변수들은 성능검증을 위한 입출력 모의장치에서 모의되는 물리적 변수들로 모의 장치의 아날로그 출력으로 제공된다.

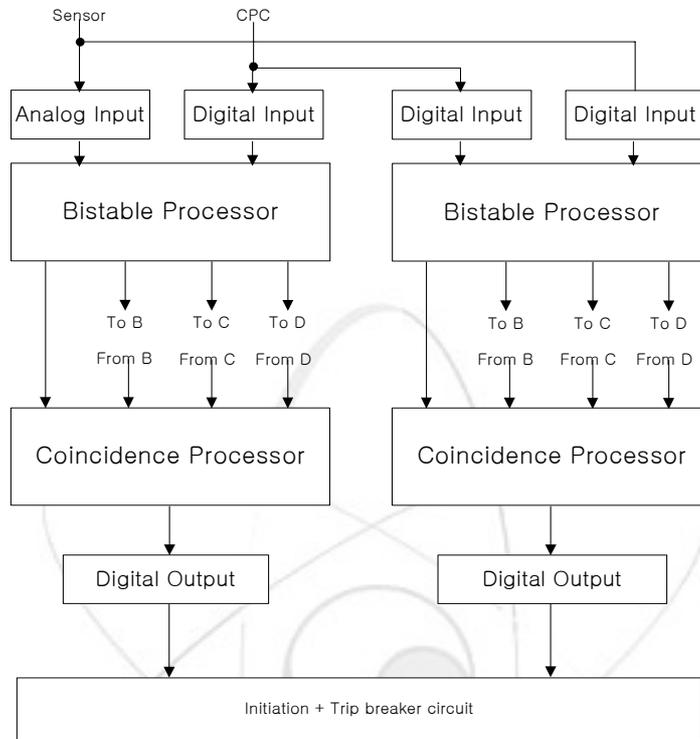


그림 3-1. 보호계통의 구성(Ch. A)

## 제 2 절 입출력 시뮬레이터 개요

시뮬레이터는 목적에 따라 많은 종류가 있지만 여기서는 시스템 개발을 위한 성능 및 기능 시험용 시뮬레이터에 대해서만 생각하기로 한다. 일반적인 HILS(Hardware In the Loop Simulator) 개념을 그림 3-2에 표시하고 있다. 그림과 같이 입출력 모의 장치는 센서 신호를 모의하여 보호계통의 입력으로 제공하고 보호계통의 출력신호를 계측하여 기록·저장함으로써 보호계통의 기능 및 성능을 시험하는 것이 목적이다.

본 연구에서는 입출력 및 데이터 수집시스템을 VMEbus 시스템으로 설계하였으며 사용자 인터페이스 시스템은 PC를 사용하는 것으로 하였다.

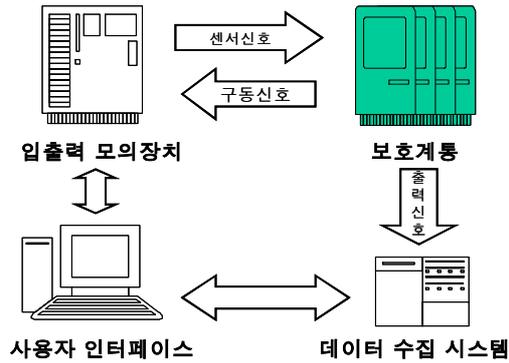


그림 3-2. 모의 시스템의 개념도

또한 외부의 열수력(Thermo-Hydraulic) 시뮬레이터 코드와의 연계를 위하여 TCP/IP 를 외부 통신으로 제공하는 것으로 하였다.(그림 3-3)

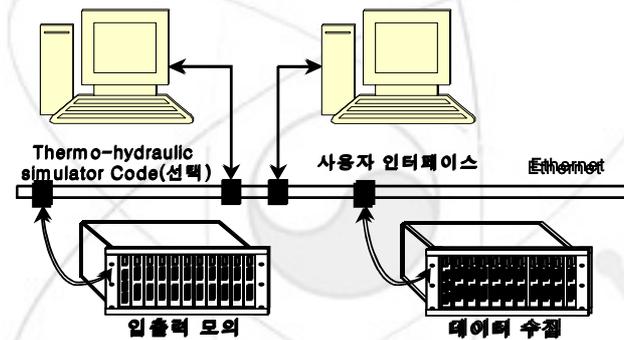


그림 3-3. 외부 시스템과의 인터페이스

### 제3절 시스템 구성

본 연구에서 개발하는 안전계통 성능시험 장비는 다음과 같은 원칙으로 개발되었으며 확장성을 우선적으로 고려하였다.

- 성능시험용 입출력 신호발생기는 크게 3부분으로 나누어 구성되며 보호계통 기기의 입력신호를 발생시키는 부분, 사용자 편의장치인 MMI(Man Machine Interface), 보호계통기기의 출력을 측정하고 분석하기 위한 데이터 수집 및 분석 시스템으로 구성한다.
- 성능시험용 입출력 신호발생기는 유연성 및 확장성을 우선적으로 고려하여 시스템 버스 구조를 선택한다.

- 성능시험용 입출력 신호발생기의 MMI는 사용자 편의성에 중점을 두고 개발한다.
- 시제품용 RTSG는 원자력 발전소에 있는 기존 제품의 현황을 파악하여 로직을 설계/작성하며 모의기능 및 시각화에 중점을 두고 구축한다.

그림 3-4에 개념을 나타내고 있다.

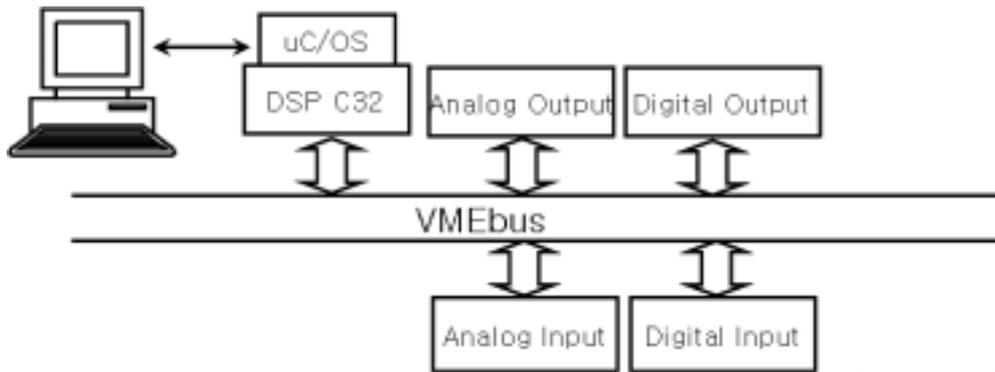


그림 3-4. 입출력 시뮬레이터의 구성

## 1. VMEbus 보드

VMEbus 보드들은 일부를 보완하고 기능을 향상시켜 재설계하고 제작하였다. 먼저 VME 시스템의 마스터로는 TMS320C32 프로세서를 사용하였으며 실시간 운영체제로 uC/OS를 이식하고 TCP/IP 스택을 구현하였다. CPU 보드의 사양은 다음과 같고 개발된 보드의 사진을 그림 3-5에 나타냈다.

- CPU : TMS320C32-50
- Memory : SRAM 1MB, No-Wait, Flash Memory 512 KB,  
EPROM 512 KB
- 통신 : Ethernet, 1 Isolated RS-232C 1 Isolated RS-485,
- VME Interface : system Controller, A24/D16, Bus Arbiter, Interrupt  
Handler



그림 3-5. CPU 보드

보호계통용 입력 모의 시스템은 바이스테이블 프로세서의 아날로그 입력 신호와 노심 보호 연산기계통의 디지털 출력을 모의하는 기능을 제공한다. 현재 개발중인 디지털 원자로 보호계통의 아날로그 입력 신호의 범위가 0-10V 시스템이고 완전 이중화 채널로 설계되고 있기 때문에 아날로그 출력 보드를 다음과 같이 설계하였다.

- Single ended 16 ch.
- 해상도 12bit, 0-10V 또는 4-20mA
- 변환시간 : 최대 50us
- VME 인터페이스 : A16/D16

또한 노심보호연산기 계통의 디지털 출력 신호를 모의하기 위한 디지털 출력의 사양은 다음과 같다.

- Isolated 32 ch, Relay(Dry contact)
- 출력전류 : 최대 1A
- 절연 : Optical Isolation
- VME 인터페이스 : A16/D16

보호계통용 모든 신호를 동시에 모의가 가능하도록 한다면 매우 많은 아날로그 출력 카드가 필요하게 된다. 또한 현재 개발되는 디지털 원자로 보호계통은 4중화 시스템 중 2개의 채널만 시제품으로 제작되고 있다. 따라서 모든 채널의 신호를 모의하지 않고 비교논리 프로세서의 이중화와 2개의 시제품 채널을 고려하여 아날로그 출력 채널의 수는

$32 \times 2 \times 2 = 128$  ch로 결정하였다. 디지털 출력의 경우는  $22 \times 2 \times 2 = 88$ ch로 결정되었다. 다음 그림은 개발된 아날로그 출력보드와 디지털 출력 보드를 나타내고 있다.



그림 3-6. 아날로그 출력 보드



그림 3-7. 디지털 출력 보드

보호계통에 입력되는 신호 및 보호계통의 출력 신호를 계측하기 위한 시스템으로 크게 아날로그 입력 모듈과 디지털 입력 모듈로 구성되어 있다. 아날로그 입력 모듈의 사양은 다음과 같고 그림 3-8에 보드의 사진을 표시하였다.

- CPU(TMS320C32) 내장
- DPRAM을 통한 VME Master와 정보 교환
- Single ended 16 ch.
- 해상도 12bit, 0-10V 또는 4-20mA
- 변환시간 : 최대 50us
- VME 인터페이스 : A16/D16

또한 디지털 입력 보드는 다음과 같은 사양으로 개발되었고 그림 3-9에 사진을 나타냈다.

- Isolated 32 ch.
- Optical Isolation : 1500V
- VME 인터페이스 : A16/D16



그림 3-8. 아날로그 입력 보드



그림 3-9. 디지털 입력 보드

각 보드들의 구체적인 사양은 부록의 제작사양에 나타냈다.

## 2. 원자로 보호계통 입출력 모의장치 랙

VMEBus 기반의 서브 랙으로서 원자로 보호계통 시험에 필요한 모의신호를 발생하는

역할을 한다. MMI 용 PC의 명령에 의하여 주어진 패턴의 모의 과형을 발생시킨다. 상위 제어기와의 통신은 Ethernet기반의 TCP/IP 통신을 사용하며, 이를 위하여 VMEbus의 CPU 보드에 TCP/IP 스택과 이더넷 패킷 드라이버를 개발하였다. 모의신호의 수는 아날로그 출력이 128 채널, 디지털 출력이 88 채널이다. 다음 그림 3-10은 서브 랙의 외관을 나타내고 있다.



그림 3-10. 원자로 보호계통 입출력 모의 랙

### 3. 공학적 안전설비 기기제어 입출력 모의장치 랙

VMEBus 기반의 서브 랙으로 되어 있으며 ESF-CCS의 시험을 위한 모의신호를 발생 시키기 위한 랙이다. 안전계통 랙과 마찬가지로 상위의 제어기(PC)의 명령에 의하여 주어진 패턴의 모의 과형을 발생한다. 상위 제어기와의 통신은 이더넷 기반의 TCP/IP 통신을 사용하며 VMEbus CPU 보드에는 TCP/IP 스택과 이더넷 패킷 드라이버가 탑재된다. 모의신호의 수는 아날로그출력이 15 채널, 디지털 출력이 12 채널을 갖는다. 다음 그림 3-11은 서브 랙의 외관을 나타내고 있다.



그림 3-11. ESF-CCS 입출력 모의 랙

#### 4. 데이터 수집시스템 랙

VMEBus 기반의 서브 랙으로서 위에서 언급한 두개의 서브랙의 데이터 수집 기능을 가진다. RPS 랙과 ESF-CCS 랙에서 발생한 모의신호 및 외부의 신호상태를 취득하기 위한 아날로그 전압 입력과 디지털 접점 입력을 갖는다. 상위 제어기와의 통신은 Ethernet기반의 TCP/IP 통신을 사용한다.

입력신호의 수는 아날로그 전압 입력이 160 채널, 디지털 접점 입력이 160 채널이다. 신호의 취득은 실시간으로 수행되며, 상위 제어기 및 다른 구성요소들과 시간적으로 동기시킬 수 있다. 취득된 데이터는 자체 메모리에 일정량 저장되어, 상위 제어기로 전송 시에 데이터의 손실이 발생하지 않도록 하였다. 다음 그림 3-12는 데이터 취득 시스템의 외관이다.



그림 3-12. 데이터 수집 시스템 랙

## 5. 모의 정지차단기

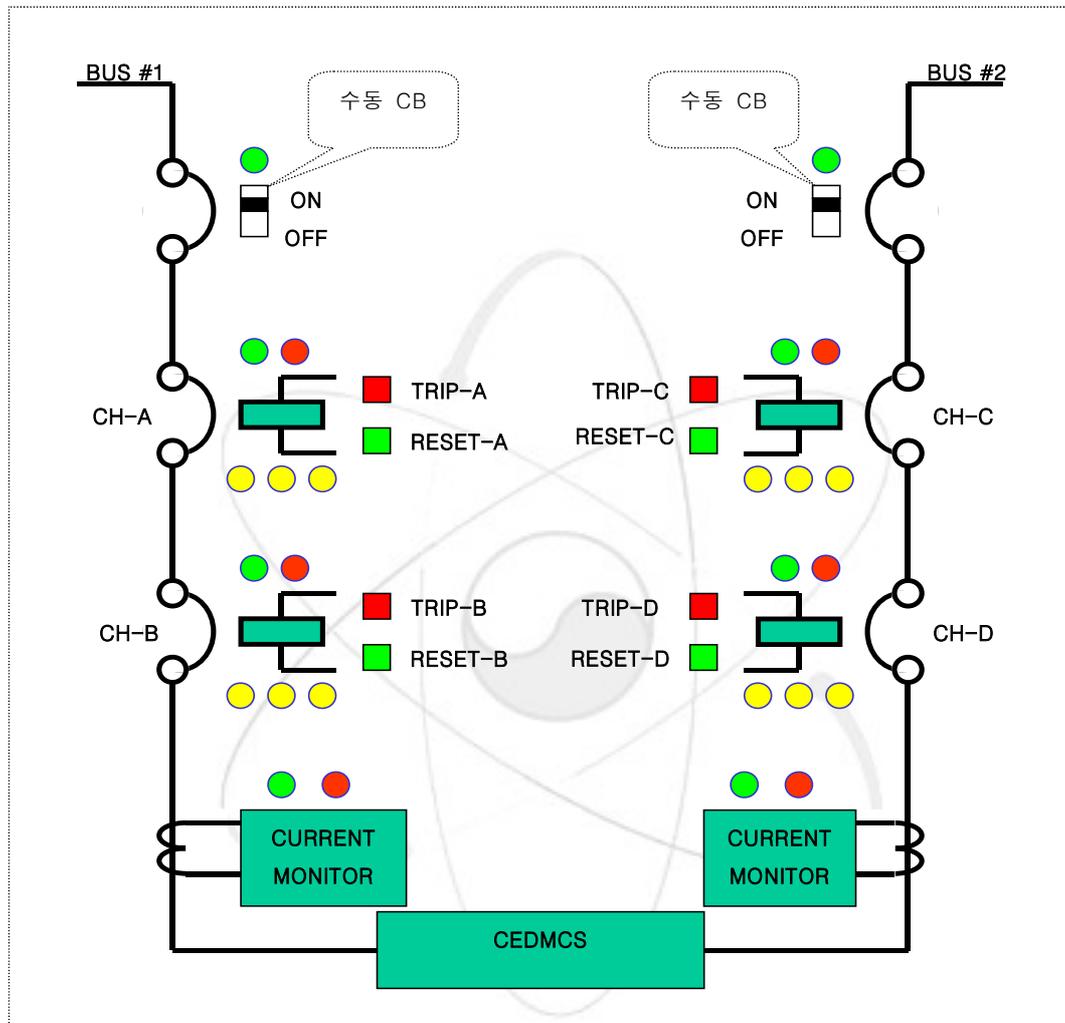
원자로 보호계통의 리액터 정지 차단기를 가시적으로 표현하기 위한 패널로서 큐비클의 전면도어에 설치된다. 차단기와 마그네틱 점점 및 램프, CT 등으로 구성되며, 보호계통의 출력 신호를 받아 선택적 2/4로 차단되는 상태를 실시간으로 구현하도록 되어 있다. 다음 그림에 외관을 나타냈다.



그림 3-13. 모의 원자로 정지차단기

정지 차단기의 미믹 화면을 다음 그림 3-14에 나타냈으며 내부 회로도도 그림 3-15에 간략화한 래더 다이어그램은 그림 3-16과 같다.

그림 3-14에서와 같이 모의 정지 차단기는 계전기, 코일전류 피드백을 위한 아날로그 출력, 시각화 장치 등으로 구성되며 이벤트 기록기(SOE; Sequence of Event)에 연결되어 있다.



400mm

- 수동TRIP스위치      ● ON LAMP
- 수동RESET스위치      ● TRIP LAMP
- TRIP SOURCE LAMP

그림 3-14. 모의용 정지차단기 미믹

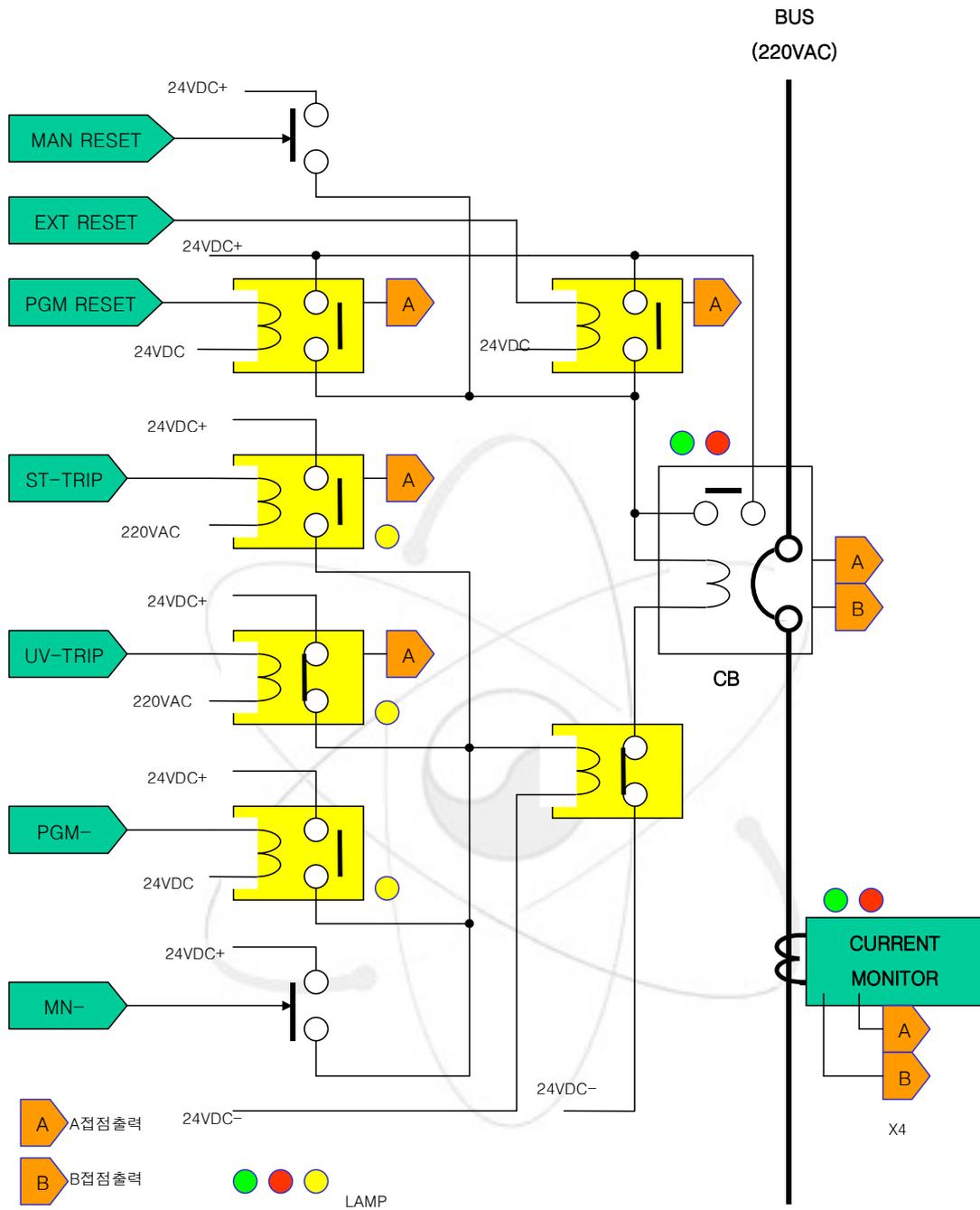


그림 3-15. 정지차단기의 내부 회로

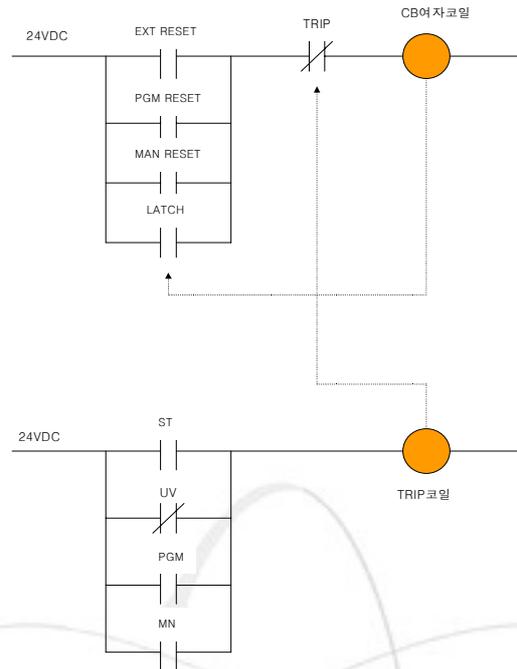


그림 3-16. 정지차단기의 계전기 도면

## 6. 사용자 인터페이스용 PC

원자로 보호계통 시뮬레이터의 상위 제어기로서 RPS 랙 및 ESF-CCS 랙의 모의 신호 발생을 제어하고, 데이터 수집시스템 랙에서 취득한 데이터를 수집하여 사용자에게 그래픽화면으로 제공하는 기능을 한다. 파넬 PC와 각 서브 랙의 통신은 10 Mbps이상의 Ethernet기반(10Base-T)의 TCP/IP 통신을 사용한다. 다음 그림 3-17은 사용자 인터페이스용 파넬 PC를 나타내고 있다.



그림 3-17. 성능시험장비 HMI용 PC

다음은 전체 캐비닛의 구성품을 나타내고 있다.



표 3-1. 안전계통 성능시험 장비 구성품

구 분	규 격	수량	단위	비 고
RCS Rack	VME Power Supply	1	ea	VME
	19" Rack	1	ea	6U
	VME Backplane P1	1	ea	15 Slot
	User Backplane P2	1	ea	15 Slot
	VME DSP Master Board	1	ea	DSP320C32
	VME Analog Output Board	1	ea	0-10V, 12bit
	VME Digital Output Board	8	ea	Dry Contact
	External Terminal Panel	3	ea	
	Extention Cable Assembly	11	ea	
ESF-CCS Rack	VME Power Supply	1	ea	VME
	19" Rack	1	ea	6U
	VME Backplane P1	1	ea	15 Slot
	User Backplane P2	1	ea	15 Slot
	VME DSP Master Board	1	ea	DSP320C32
	VME Analog Output Board	2	ea	0-10V, 12bit
	VME Digital Output Board	2	ea	Dry Contact
	External Terminal Panel	4	ea	
	Extention Cable Assembly	4	ea	
DAQ Rack	VME Power Supply	1	ea	VME
	19" Rack	1	ea	6U
	VME Backplane P1	1	ea	15 Slot
	User Backplane P2	1	ea	15 Slot
	VME DSP Master Board	1	ea	DSP320C32
	VME Analog Input Board	10	ea	0-10V, 12bit
	VME Digital Input Board	5	ea	Dry Contact Input
	External Terminal Panel	15	ea	
	Extention Cable Assembly	15	ea	
External Power	DI/O External Power	1	ea	24VDC, 12A
Cubicle	1500 x 900 x 600	1	ea	
Panel PC	Pentium-III급	1	Set	
Mimic Panel		1	Set	
Ethernet Hub	8 Port	1	ea	8 Port

이러한 시험장비는 모두 패널 PC에서 운용하며 결과를 실시간 그래프, 이벤트 기록 등의 형태로 저장하여 분석할 수 있게 된다. 다음 그림은 제작된 전체 시스템의 외관을 나타내고 있다.



그림 3-18. 성능시험장치(내부)



그림 3-19. 성능시험장치(외함 문)



그림 3-20. 성능시험 장치(뒷면)

## 제4절 사용자 인터페이스용

입출력 발생기 사용자 인터페이스 부분은 마이크로소프트 윈도우즈하에서 운영되며 최종 사용자 인터페이스 부분은 Intellution사의 iFix를 이용하여 개발하였다. 여기서는 개괄적인 내용만을 서술하고자하며 자세한 내용은 사용자 매뉴얼에 소개될 예정이다. 다음 그림은 RPS 시험 계통의 구성도를 나타내고 있다.

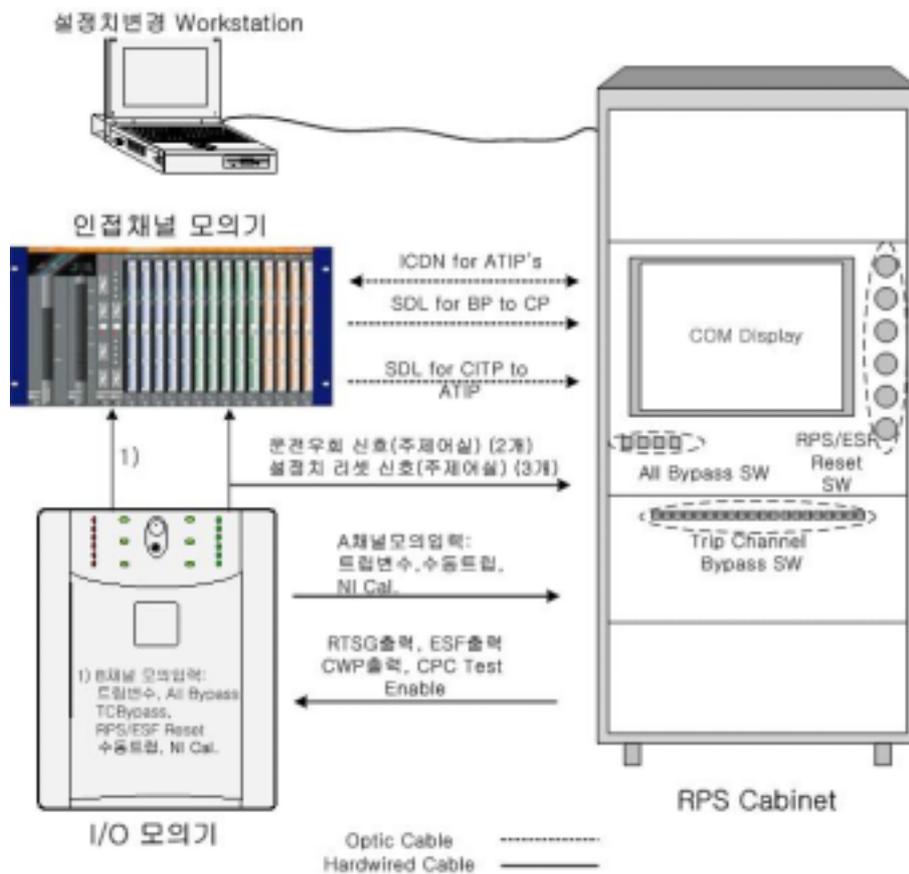


그림 3-21. RPS 시험 계통도

다음 표는 보호계통 모의에 사용되는 원자로 정지 변수를 나타내고 있으며 그림 3-22는 원자로 보호계통의 성능시험을 위한 사용자 인터페이스 화면을 나타내고 있다. 그림에서 보는 바와 같이 원자로 정지에 관한 아날로그 변수 및 디지털 변수 그리고 각종 스위치를 모의할 수 있으며 보호계통에서 나오는 트립신호를 측정할 수 있다.

표 3-2. 모의 가능한 원자로 정지 변수

이름	비고	RPS단자명(Tag 명)	정보형태	단자번호
Hi PZR Press	E	PZR PRESS NR +/-	아날로그	CN11-1-A/B
Lo PZR Press	E	PZR PRESS WR +/-		CN11-1-D/E
Hi SG1 Level	E	SG1 LEVEL NR +/-		CN11-1-N/P
Hi SG2 Level	E	SG2 LEVEL NR +/-		CN11-1-S/T
Lo SG1 Press, Hi SG1 Press	E	SG1 PRESS +/-		CN11-1-W/W
Lo SG2 Press, Hi SG2 Press	E	SG2 PRESS +/-		CN11-1-Z/a
Hi CNMT Press	E	HI CNMT PRESS NR +/-		CN11-1-c/d
Lo SG1 Flow	E	SG1 DP RCS FLOW +/-		CN12-1-A/B
Lo SG2 Flow	E	SG2 DP RCS FLOW +/-		CN12-1-D/E
HI-HI CNMT Press	E	HIHI CNMT PRESS WR +/-		CN12-1-K/L
Lo SG1 Level- RPS, ESF	E	SG1 LEVEL WR +/-		CN11-1-G/H
Lo SG2 Level- RPS, ESF	E	SG2 LEVEL WR +/-		CN11-1-K/L

또한 아날로그 출력값은 목표값과 기울기를 이용하여 설정할 수 있으며 디지털 출력값은 ms 단위로 측정할 수 있다. 보호계통에서 발생한 정지 차단기 신호를 측정하기 위해서 그림 3-23과 같은 사용자 인터페이스 화면이 제공된다.

마지막으로 3-24는 인접 채널의 신호를 모의하기 위한 화면이며 자세한 사항은 사용자 매뉴얼을 참조하기 바란다.

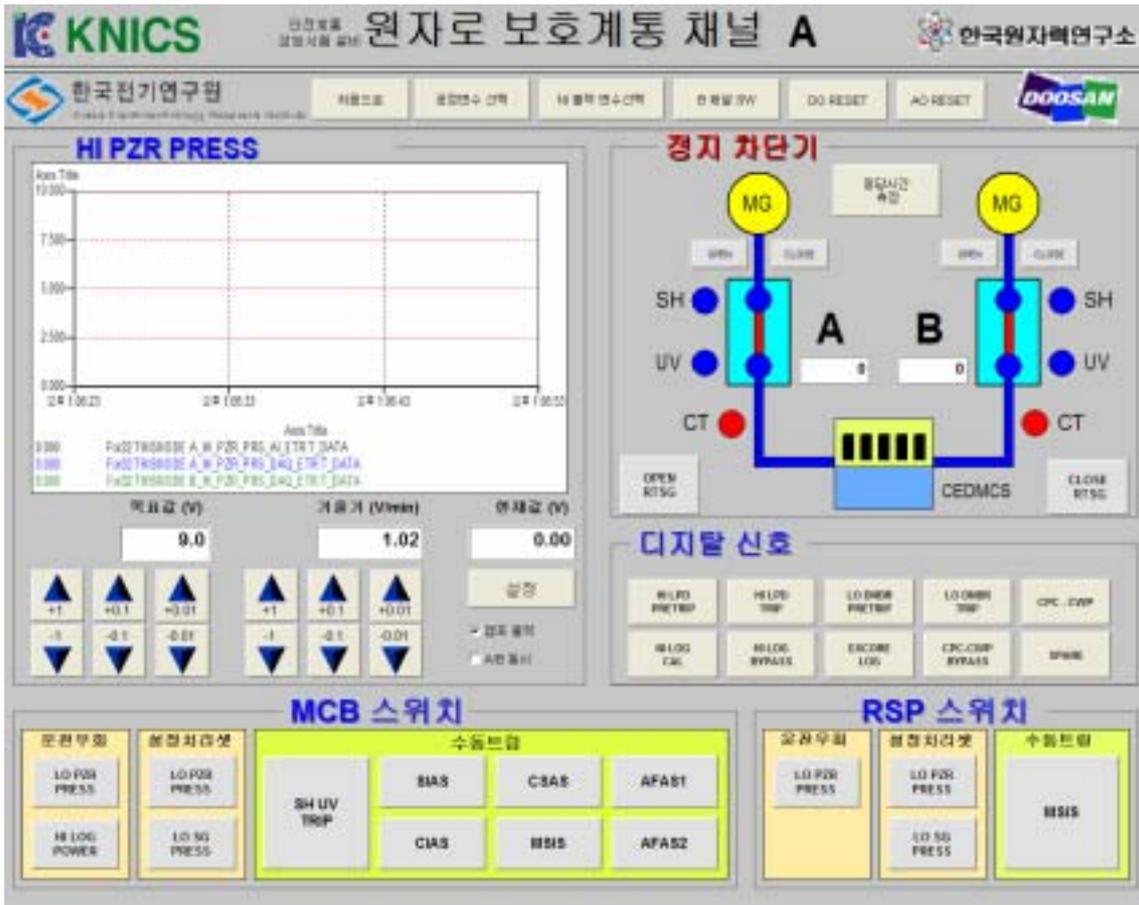


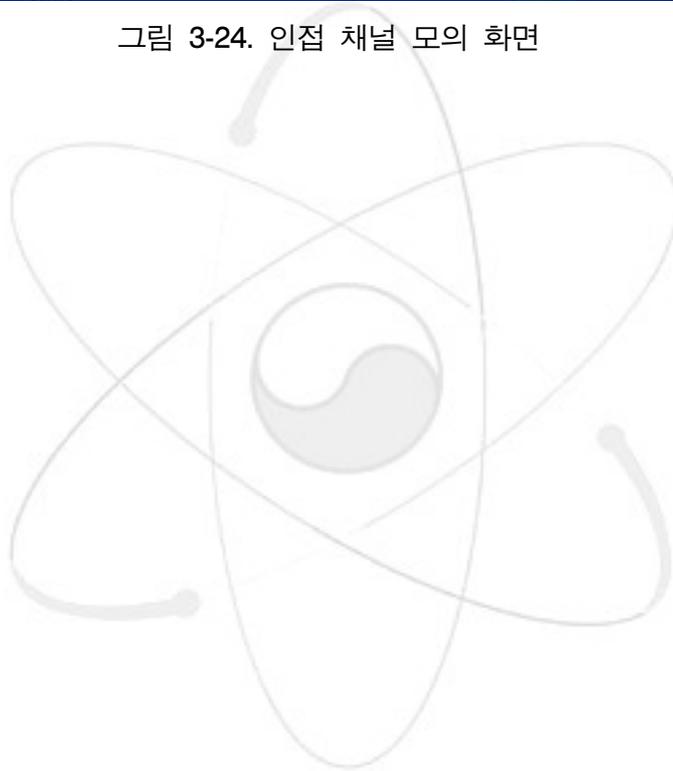
그림 3-22. RPS 사용자 인터페이스 화면



그림 3-23. RPS 응답시간 측정용 사용자 인터페이스 화면



그림 3-24. 인접 채널 모의 화면



## 제 4 장 결 론

본 연구에서는 원전 계측제어개발 사업에서 개발 중인 디지털 원자로 안전계통의 성능을 시험하기 위한 장비를 개발하였으며 얻어진 결론은 다음과 같다.

### 1) 성능시험장비 구축

성능시험 장비는 모의기능의 다양성과 편리성, 확장성이 중요하기 때문에 이러한 점에 바탕을 두고 장비를 설계하고 구축하였다. 장비는 3단 캐비닛으로 구축하였으며 상단부터 원자로보호계통 입출력 신호발생장치, 공학적 안전설비 기기제어 시스템, 데이터 수집시스템으로 구성하였으며 외함 문에 MMI용 컴퓨터와 모의용 정지차단기를 설치하였다. CPU 보드는 연산 및 신호처리로 적합한 DSP 프로세서를 사용하였으며 프로그램은 유연성과 확장성을 고려하여 DSP는 저 레벨의 프로그램 모듈과 통신 프로그램만을 탑재하고 응용프로그램으로 제어가 가능하도록 구축하였다. 따라서 유연성과 확장성 면에서 주어진 요건을 충실하게 만족한다고 판단되며 계통 연계 조건 및 시험 환경에 관한 사항도 반영하여 시스템이 설계되었다고 판단된다. 모의용 RTSG 및 MMI 프로그램도 사용자 편의성 및 시각화를 중심으로 개발되고 있기 때문에 주어진 요건이 충실히 반영되었다고 판단된다.

### 2) 모의용 정지차단기 개발

선택적 2/4 시스템으로 구성되어 있으며 데이터 수집시스템에서 차단된 시간을 1msec 단위로 로깅할 수 있도록 되어있기 때문에 원자로 보호계통의 성능을 측정하는데 전혀 무리가 없다.

### 3) 시험방법 검토

시험방법은 기본적으로 시제품 개발시 기능 및 성능을 측정하기 위한 방법과 code & std.에 따라 측정하는 방법 모두가 가능하도록 검토되고 있으며 간단한 프로그램의 변경으로 여러 가지 시험이 가능하도록 개발되고 있어 편리할 것으로 판단된다.

● 목표 달성도 및 기여도

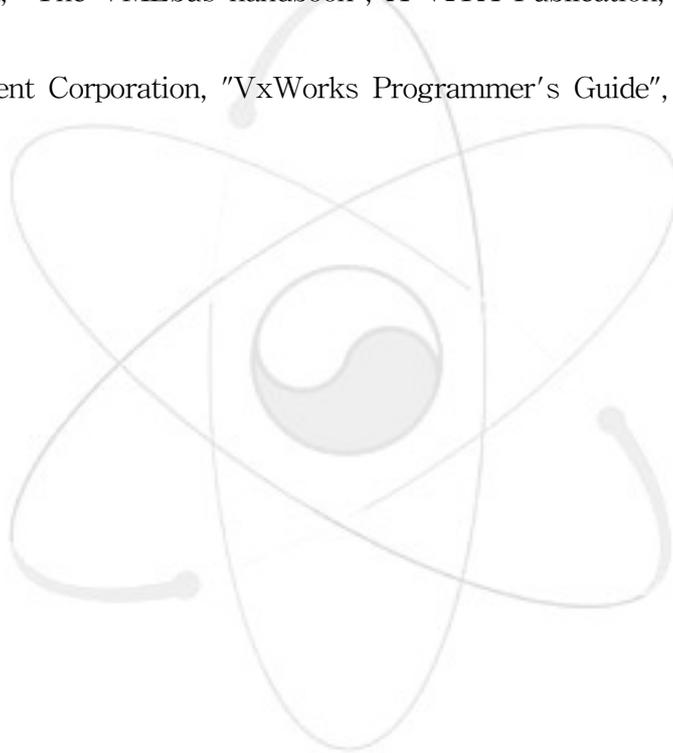
연차	번호	세부연구목표 (연구계획서상에 기술된 연구목표)	달성내용	달성도 (%)
1	1	성능시험 장비 사양작성	RPS, ESF-CCS, DAQ, RTSG 사양 작성	100
	2	신호발생기용 보드 개발	CPU, AI, AO, DI DO 사양 작성	100
2	1	RPS 및 데이터 수집시스템 구축	RPS 및 DAQ 랙 구축	100
	2	MMI 및 시험 방법 확립	MMI 프로그램 개발 및 시험법 확정	100
3	1	ESF-CCS 및 RTSG 구축	ESF-CCS 랙 및 모의용 RTSG 개발	100
	2	시스템 통합 및 시험	시스템 통합 및 통합 시험	90

● 연구개발 결과의 활용 계획

본 과제에서 개발된 성능시험장비는 현재 안전계통 개발에 직접적으로 사용되고 있으며 연구 종료후에도 관련 기업체에서 계속 사용할 예정이다. 또한 사용법 관련 프로그램은 이후에도 계속 보완될 예정이다.

## 참고문헌

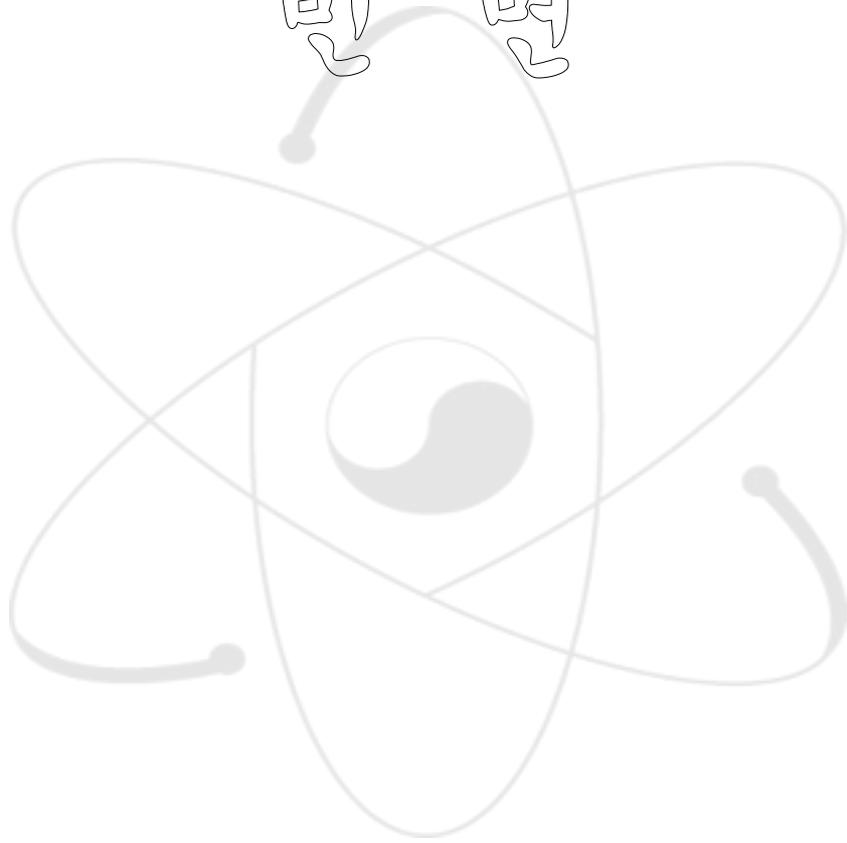
1. 장순홍, 백원필 “원자력 안전”, 청문각, 1999.
2. C. H. Kim, S. W Cheon, "Fault tolerant computing for reactor protection system in KALIMER", Proc. of FTCC, pp24-31, 2000.
3. General Design Criterion 20, Protection System Functions.
4. W. D. Peterson, "The VMEbus handbook", A VITA Publication, 1992.
5. Digital Equipment Corporation, "VxWorks Programmer's Guide", 1994.



## 부 록. VME 보드 제작 사양서



비명



<b>제작사양서</b>		작성일 : 2002. 5.
		작성자 : (인)
품 명	CPU 모듈	검토자 : (인)

## 목 차



1. 개요
2. 기술규격
3. 구성도
4. 하자보증

승 인

## 1. 개 요

CPU 보드는 표준 VMEBUS의 SYSTEM CONTROLLER로서, 고속부동소숫점 연산 방식의 DSP인 TMS320C32를CPU로 사용한 신호처리 전용의 VME MASTER보드이며, 제어 및 통신 프로세스에의 응용에도 적합하다.

## 2. 기술 규격

### 2-1. VME BUS INTERFACE부 사양

- VME SYSTEM CONTROLLER
- VME STANDARD A24 / D16
- BUS ARBITER
- INTERRUPT HANDLER
- 이 착탈을 위한 Eject Handle이 장착

### 2-2. 외관

- VME 6U/4HP STANDARD
- 233.45mm x 160mm x 20mm
- PCB 1.6mm GLASS-EPOXY

### 2-3. CPU

- TI TMS320C32-50
- 32-BIT FLOATING-POINT ARITHMETIC

### 2-4. MEMORY

- SRAM 1 MBYTE, NO-WIAT
- FLASH MEMORY 512 KBYTE
- FLASH MEMORY 512 KBYTE
- EPROM 512 KBYTE

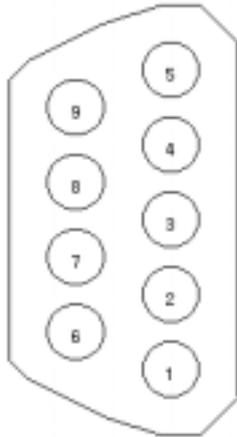
승 인

2-5. SERIAL PORTS

- ONE ISOLATED RS232 PORT

- ONE ISOLATED RS485 PORT

; 위 SERIAL PORT 모두 D-SUB 9-PIN FEMALE TYPE



PIN NO

RS232

RS485

1  
2  
3  
4  
5  
6  
7  
8  
9

NC  
RXD  
TXD  
NC  
GND  
NC  
CTS  
RTS  
NC

NC  
NC  
NC  
NC  
SIG+  
SIG-  
NC  
NC  
NC

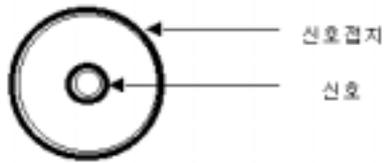
승 인

2-6. REAL-TIME CLOCK

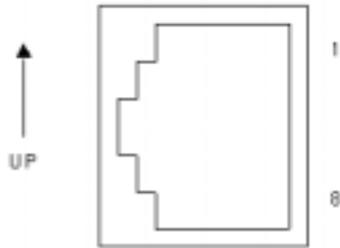
- DALLAS DS12887 COMPATIBLE

2-7. ETHERNET PORT

- NE2000 COMPATIBLE
- ETHERNET(10BASE-2) 사양은 아래 그림과 같다.



- ETHERNET(10BASE-T)의 연결 코넥터는 전면에서 보았을 때 다음 그림과 같은 RJ-45 표준코넥터와 같다.



PIN NO	용도
1	TX+
2	TX-
3	RX+
4	NOT USED
5	NOT USED
6	RX-
7	NOT USED
8	NOT USED

승 인

## 2-8. DISPLAY

- 3 SYSTEM LED
- 3 NETWORK LED
- 4 USER LED

## 2-9. USER CONFIGURATION

- 8-BIT DIP SWITCH

## 2-10 BEEP

- ONE SMALL BUZZER

## 2-11 전력 소비

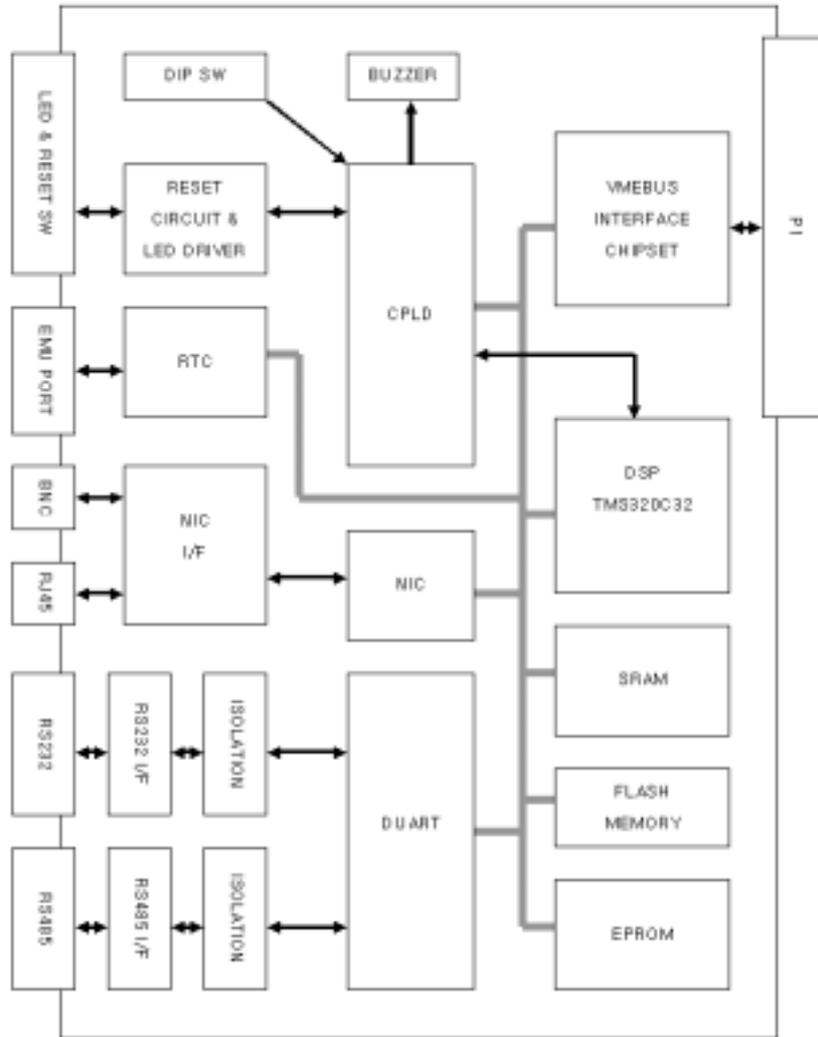
- +5V - 1.2A MAX
- +12V - 0.3A MAX

## 2-12. 환경조건

- 동작온도 : 0 - 55°C
- 보관온도 : -20 - 75°C
- 동작습도 0 - 95%RH(NO CONDENSATION)
- 설치장소 : 실내

승 인

### 3. 구성도



### 4. 하자 보증

1. 제작하여 납품한 모든 제품에 대한 하자보증은 현장 설치후 인수검사 완료시점부터 2년으로 한다.
2. 위 항의 보증 기간내에 제품의 하자발생시 공급자의 비용으로 처리한다.
3. 또한 현장시험중에도 발생하는 모든 하자사항에 대해서도 공급자 비용으로 처리한다.

승 인

<b>제작사양서</b>		작성일 : 2002. 5.
		작성자 : (인)
품 명	EVM - A116	검토자 : (인)

## 목 차

1. 개요
2. 기술규격
3. 구성도
4. 하자보증

승 인

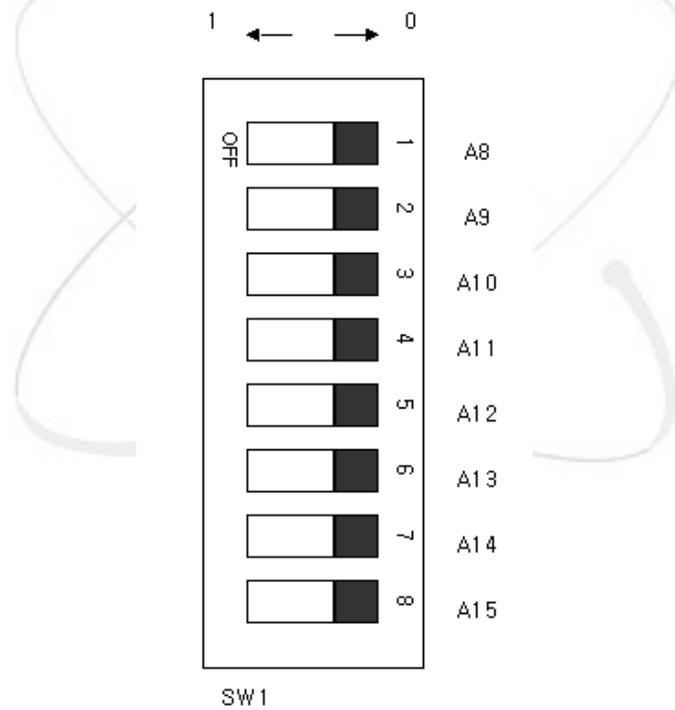
## 1. 개 요

EVM-AI16 보드는 표준 VMEBUS SLAVE INTERFACE를 갖춘 아날로그 입력 보드로서, 16 채널의 아날로그 전압 및 전류 입력 기능을 갖는다. 범용의 기능을 갖추고 있으며, 특히 SCADA, DCS, RTU 및 제어 감시반 등의 응용에 적합하다.

## 2. 기술 규격

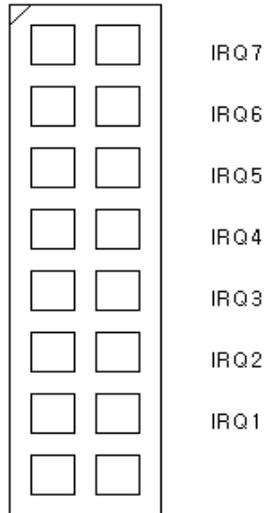
### 2-1. VME BUS INTERFACE부 사양

- ACCESS TIME : 100 ns.max(R/W)
- VME STANDARD A16 / D16
- ADDRESS MODIFIER : \$39, \$3D



승 인

- INTERRUPT CONFIGURABLE(VME INTERRUPT NUMBER는 보드 내의 JUMPER SWITCH를 이용



J3

- 이 착탈을 위한 Eject Handle이 장착

## 2-2. 외관

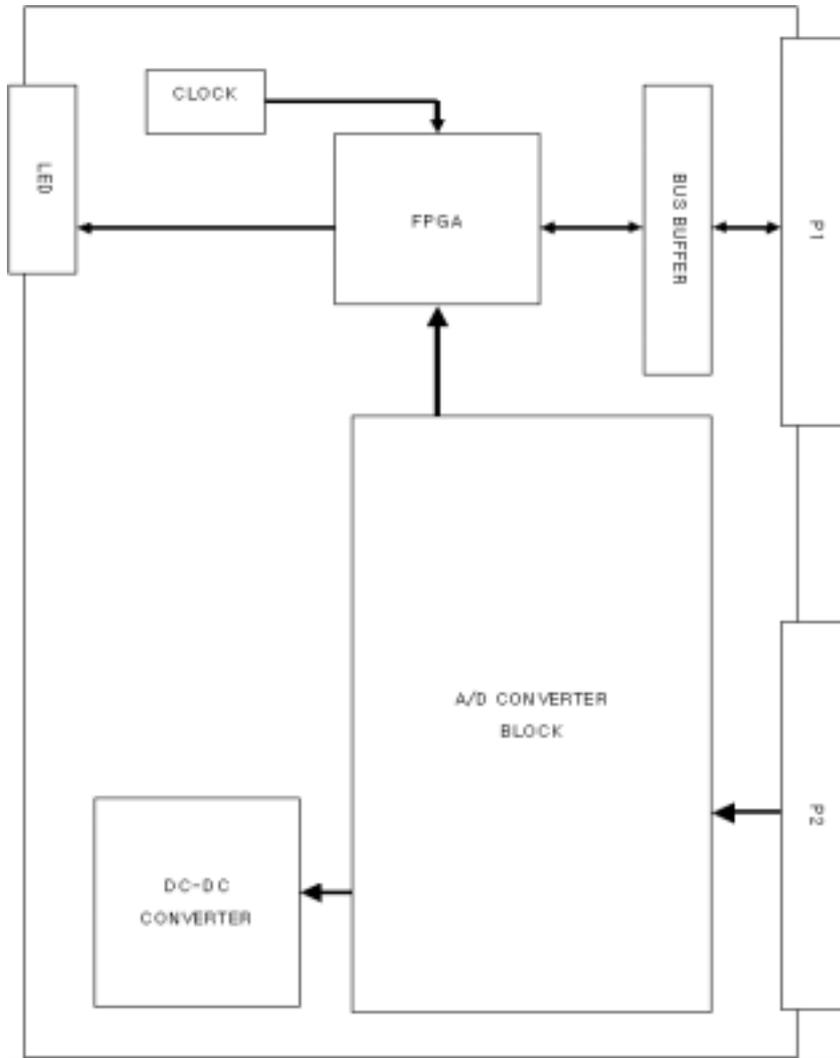
- VME 6U/4HP STANDARD
- 233.45mm x 160mm x 20mm
- PCB 1.6mm GLASS-EPOXY

## 2-3. ANALOG IUPUT

- INPUT CHANNEL : SINGLE-ENDED 16 CH
- VOLTAGE INPUT : 0 TO +10V
- CURRENT INPUT : 4 TO 20 mA
- RESOLUTION : 12 BIT
- CONVERSION TIME : 50 uS.max
- 16CH 동시 SAMPLING

승 인

### 3. 구성도



### 4. 하자보증

1. 제작하여 납품한 모든 제품에 대한 하자보증은 현장 설치 후 인수검사 완료시점부터 2년으로 한다.
2. 위 항의 보증 기간 내에 제품의 하자 발생시 공급자의 비용으로 처리한다.
3. 또한 현장 시험 중에도 발생하는 모든 하자사항에 대해서도 공급자 비용으로 처리한다.

승 인

<b>제작사양서</b>		작성일 : 2002. 5.
		작성자 : (인)
품 명	EVM - A016	검토자 : (인)

## 목 차

1. 개요
2. 기술규격
3. 하자보증

승 인

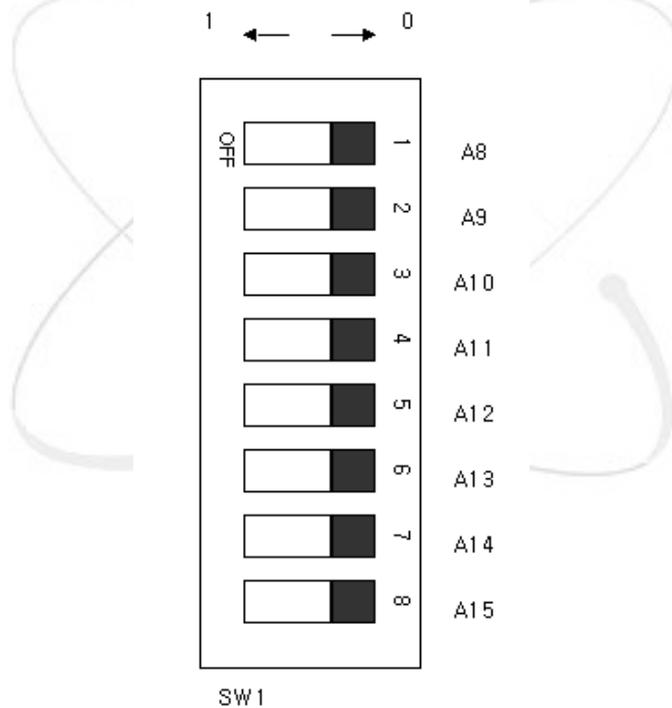
## 1. 개 요

EVM-A016보드는 표준VMEBUS SLAVE INTERFACE를 갖춘 아날로그 출력 보드로서, 16 채널의 아날로그 전압 및 전류 출력 기능을 갖는다. 범용의 기능을 갖추고 있으나, 특히 SCADA, DCS, RTU 및 제어 감시반 등의 응용에 적합하다.

## 2. 기술 규격

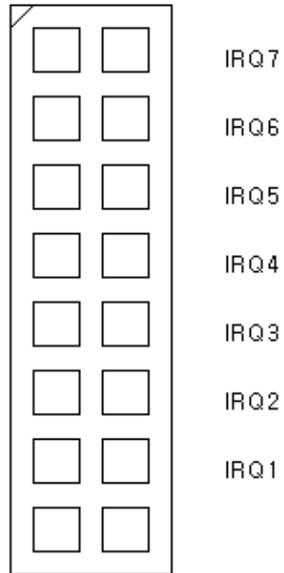
### 2-1. VME BUS INTERFACE부 사양

- ACCESS TIME : 100 ns.max(R/W)
- VME STANDARD A16 / D16
- ADDRESS MODIFIER : \$39, \$3D



승 인

- INTERRUPT CONFIGURABLE(VME INTERRUPT NUMBER는 보드 내의 JUMPER SWITCH를 이용



J3

- 이 착탈을 위한 Eject Handle이 장착

## 2-2. 외관

- VME 6U/4HP STANDARD
- 233.45mm x 160mm x 20mm
- PCB 1.6mm GLASS-EPOXY

## 2-3. ANALOG OUTPUT

- OUTPUT CHANNEL : SINGLE-ENDED 16 CH
- VOLTAGE OUTPUT : 0 TO +10V
- CURRENT OUTPUT : 4 TO 20 mA
- RESOLUTION : 12 BIT
- CONVERSION TIME : 50 uS.max

승 인

2-4. DISPLAY

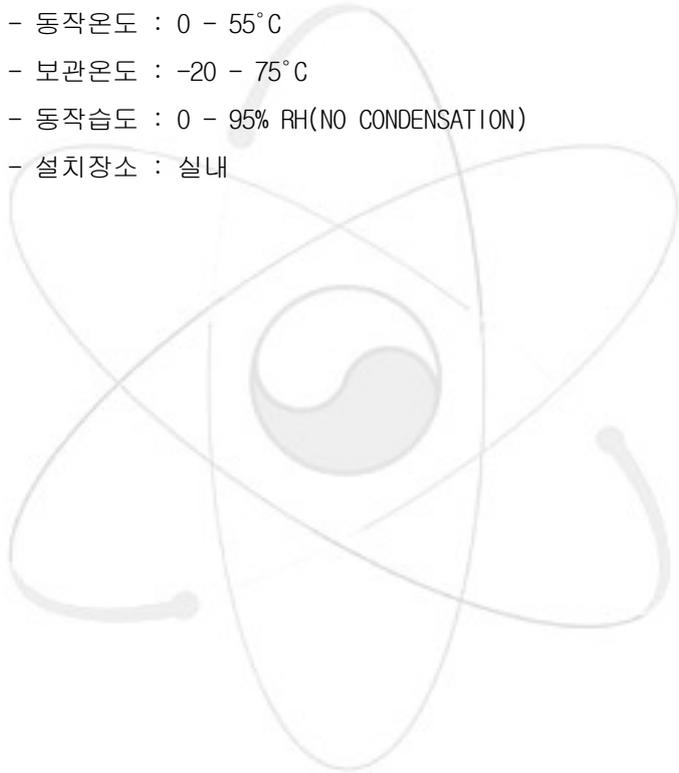
- POWER LED(1)
- ACCESS LED(1)
- FAULT LED(1)

2-5 전력소비

- 5V : 1.0 A .max

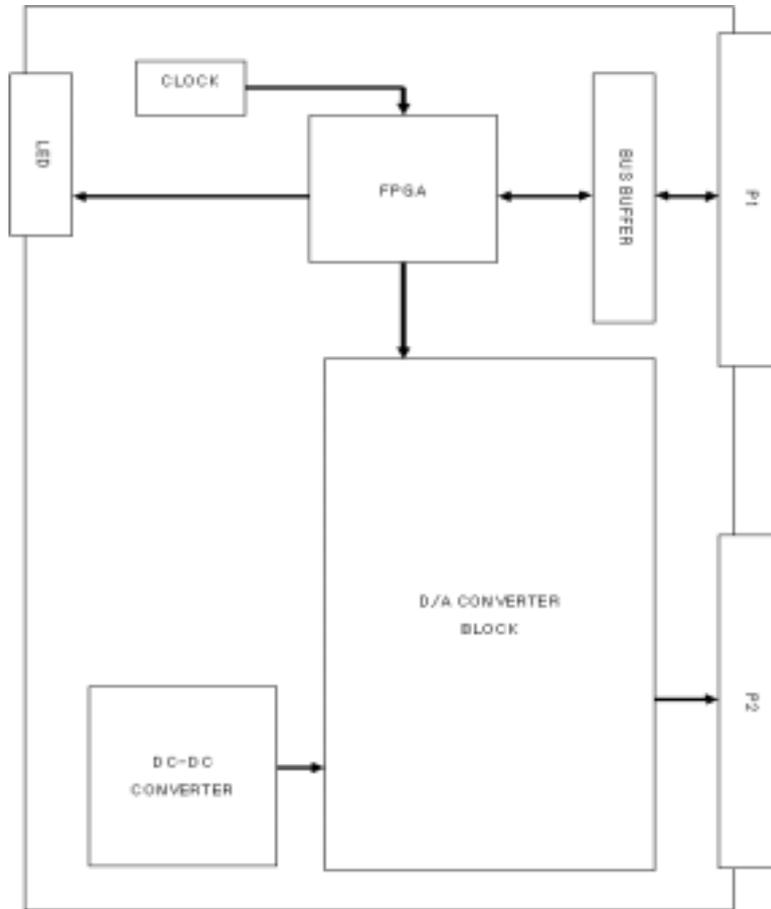
2-6. 환경조건

- 동작온도 : 0 - 55°C
- 보관온도 : -20 - 75°C
- 동작습도 : 0 - 95% RH(NO CONDENSATION)
- 설치장소 : 실내



승 인

### 3. 구성도



### 4. 하자 보증

1. 제작하여 납품한 모든 제품에 대한 하자보증은 현장 설치후 인수검사 완료시점부터 2년으로 한다.
2. 위 항의 보증 기간내에 제품의 하자발생시 공급자의 비용으로 처리한다.
3. 또한 현장시험중에도 발생하는 모든 하자사항에 대해서도 공급자 비용으로 처리한다.

승 인

<b>제작사양서</b>		작성일 : 2002. 5.
		작성자 : 최우수 (인)
품명	EVM - D132	검토자 : 노승섭 (인)

## 목 차

1. 개요
2. 기술규격
3. 구성도
4. 하자보증

승 인

## 1. 개 요

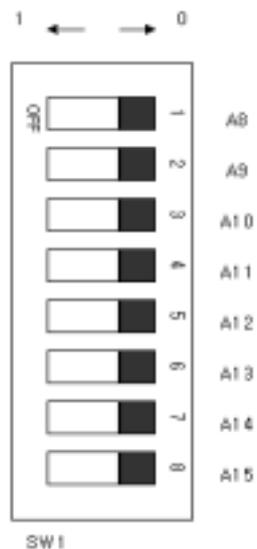
EVM-D132보드는 표준VMEBUS SLAVE INTERFACE를 갖춘 디지털 입력 보드로서, 32 POINT의 입력 기능을 갖는다. 디지털 회로부와 현장의 입력 간에는 광학적 절연방식을 사용하여 현장신호와 시스템 간의 노이즈 및 서지의 전달을 원천적으로 방지하도록 설계되었다.

범용으로 기능을 갖추고 있으며, 특히 SCADA, DCS, RTU 및 제어 감시반 등의 응용에 적합하다.

## 2. 기술규격

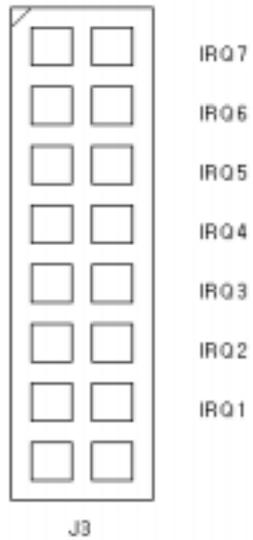
### 2-1. VME BUS INTERFACE부 사양

- ACCESS TIME : 100 ns.max(R/W)
- VME STANDARD A16 / D16
- ADDRESS MODIFIER : \$39, \$3D(VME ADDRESS는 보드 내의 DIP SWITCH를 이용하여 설정)



승 인

- INTERRUPT CONFIGURABLE (VME INTERRUPT NUMBER 및 INTERRUPT LEVEL 설정은 보드 내의 JUMPER SWITCH를 이용하여 설정)



- 이 착탈을 위한 Eject Handle이 장착

## 2-2. 외관

- VME 6U/4HP STANDARD
- 233.45mm x 160mm x 20mm
- PCB 1.6mm GLASS-EPOXY

## 2-3. DIGITAL INPUT

- INPUT CHANNEL : SEPARATE 32 POINT
- INPUT TYPE : 32 PHOTO COUPLER INPUT
- OPTICAL ISOLATION FROM FIELD SIGNAL
- ISOLATION VOLTAGE : 1500 V

승 인

#### 2-4. DISPLAY

- POWER LED(1)
- ACCESS LED(1)
- CHANNEL LED(32)

#### 2-5 전력소비

- 5V : 1.0 A.max

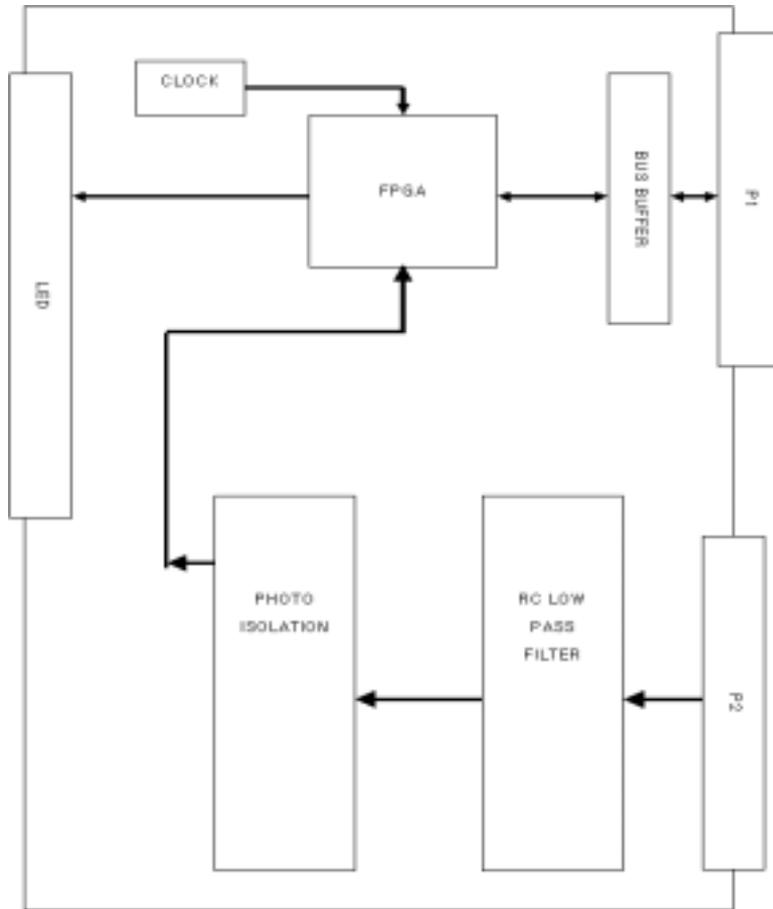
#### 2-6. 환경조건

- 동작온도 : 0 - 55°C
- 보관온도 : -20 - 75°C
- 동작습도 : 0 - 95% RH(NO CONDENSATION)
- 설치장소 : 실내



승 인

### 3. 구성도



### 4. 하자보증

1. 제작하여 납품한 모든 제품에 대한 하자보증은 현장 설치후 인수검사 완료시점부터 2년으로 한다.
2. 위 항의 보증 기간 내에 제품의 하자 발생시 공급자의 비용으로 처리한다.
3. 또한 현장 시험 중에도 발생하는 모든 하자사항에 대해서도 공급자 비용으로 처리한다.

승 인

<b>제작사양서</b>		작성일 : 2002. 5.
		작성자 : (인)
품 명	EVM - 0032	검토자 : (인)

## 목 차

1. 개요
2. 기술규격
3. 구성도
4. 하자보증

승 인

## 1. 개 요

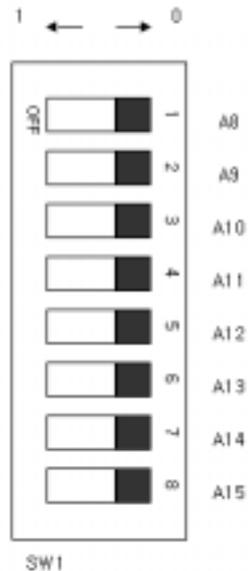
EVM-A032보드는 표준VMEBUS SLAVE INTERFACE를 갖춘 디지털 출력 보드로서, 32 POINT의 릴레이(DRY CONTACT)출력 기능을 갖는다. 디지털 회로부와 릴레이 출력 간에는 광학적 절연방식을 사용하여 현장신호와 시스템 간의 노이즈 및 서지의 전달을 원천적으로 방지하도록 설계되었다.

범용의 기능을 갖추고 있으나, 특히 SCADA, DCS, RTU 및 제어 감시반 등의 응용에 적합하다.

## 2. 기술규격

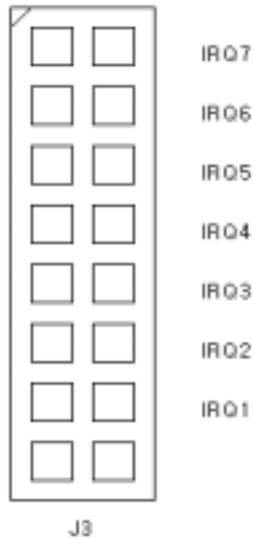
### 2-1. VME BUS INTERFACE부 사양

- ACCESS TIME : 100 ns.max(R/W)
- VME STANDARD A16 / D16
- ADDRESS MODIFIER : \$39, \$3D



승 인

- INTERRUPT CONFIGURABLE (VME INTERRUPT NUMBER 및 INTERRUPT LEVEL 설정은 보드 내의 JUMPER SWITCH를 이용하여 설정)



- 이 착탈을 위한 Eject Handle이 장착

## 2-2. 외관

- VME 6U/4HP STANDARD
- 233.45mm x 160mm x 20mm
- PCB 1.6mm GLASS-EPOXY

## 2-3. DIGITAL OUTPUT

- OUTPUT CHANNEL : SEPARATE 32 POINT
- OUTPUT TYPE : RELAY(DRY CONTACT)
- OPTICAL ISOLATION FROM FIELD SIGNAL
- OUTPUT CURRENT : 1A.max

승 인

#### 2-4. DISPLAY

- POWER LED(1)
- ACCESS LED(1)
- CHANNEL LED(32)

#### 2-5 전력소비

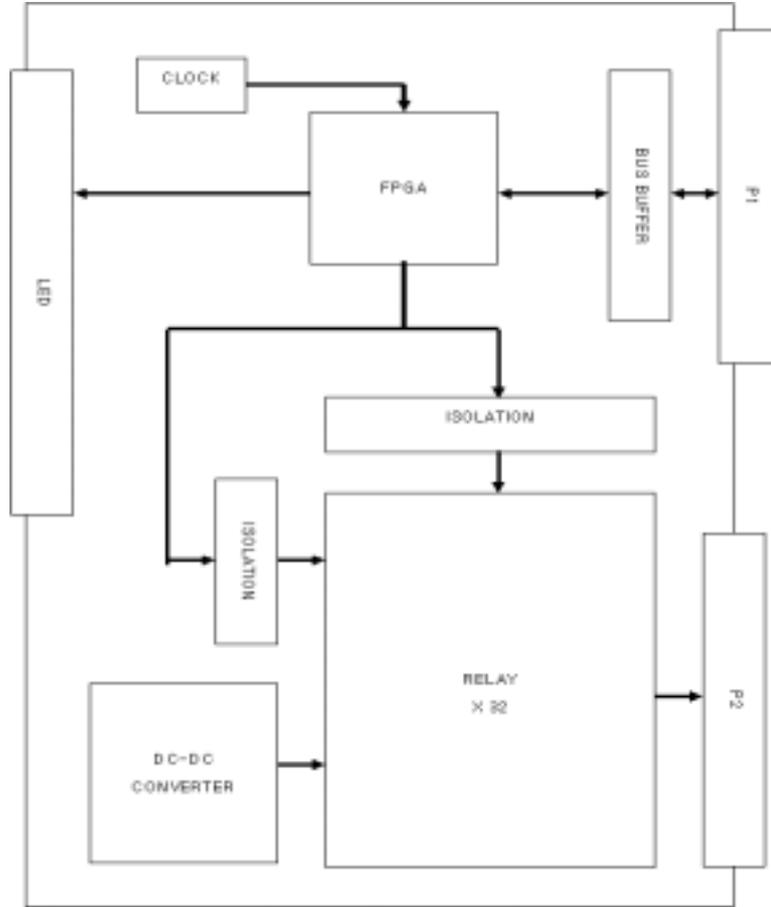
- 5V : 1.0 A.max

#### 2-6. 환경조건

- 동작온도 : 0 - 55°C
- 보관온도 : -20 - 75°C
- 동작습도 : 0 - 95% RH(NO CONDENSATION)
- 설치장소 : 실내

승 인

### 3. 구성도



### 4. 하자보증

1. 제작하여 납품한 모든 제품에 대한 하자보증은 현장 설치후 인수검사 완료시점부터 2년으로 한다.
2. 위 항의 보증 기간 내에 제품의 하자 발생시 공급자의 비용으로 처리한다.
3. 또한 현장 시험 중에도 발생하는 모든 하자사항에 대해서도 공급자 비용으로 처리한다.

승 인