

1.7 kV SiC MOSFET を用いた半導体キッカー電源用 LTD 回路の開発 DEVELOPMENT OF AN LTD CIRCUIT USING 1.7 kV SiC MOSFET FOR A SEMICONDUCTOR KICKER POWER SUPPLY

生駒直弥 *^{A)}, 中田恭輔 ^{A)}, 虫邊陽一 ^{A)}, 徳地明 ^{A)}, 高柳智弘 ^{B)}

Naoya Ikoma *^{A)}, Kyosuke Nakata^{A)}, Yoichi Mushibe^{A)}, Akira Tokuchi^{A)}, Tomohiro Takayanagi^{B)}

^{A)}Pulsed Power Japan Laboratory

^{B)}J-PARC/JAEA

Abstract

The linear transformer driver (LTD), which generates high-voltage pulses by adding the output voltages of multiple-stage discharge circuits on the secondary side of a magnetic core, has several innovative features, including waveform control on the order of nanoseconds. We have been developing an LTD with 1.2 kV SiC MOSFETs, to apply to solid-state kicker power supplies in accelerators. In this study, we realized a smaller LTD which suitable for mass production by employing 1.7 kV SiC MOSFETs.

1. はじめに

粒子加速器では、キッカー電磁石電源、クライストロンモジュレータ等、様々な機器でパルスパワー電源が使用されている。大電力パルスを得る方法としては、PFL (pulse forming line) とサイラトロンスイッチで構成される典型的なパルスパワー電源のように、一定の電気エネルギーを時間的に圧縮し、大きなピークパワー、短いパルス幅を得る「パルス圧縮」的な方法と、低いエネルギーの短パルスを多数重畳して、大きなピークパワーを得る「パルス合成」的な方法がある [1]。後者は、単体で大電力 (~数 10 kV, ~数 kA) に耐えるデバイスが不要であり、構成要素に対するストレスが分散されるとともに、その高いモジュール性から、製造、保守、システム変更などにも有利な点が多い。

さて近年、半導体デバイスの中でも高耐圧、低損失という優れた特徴を有するシリコンカーバイド (SiC) を用いた MOSFET の普及が進み、様々な製品が入手可能となっている。高耐圧であるとはいえ、単体では放電管のそれには遠く及ばないが、それらを多数組合せ、「パルス合成」を行うことで、きわめて長寿命で、制御性の高い全固体パルスパワー電源を実現できる。

LTD (linear transformer driver) 電源 (Fig. 1) は、上記のような発想に基づく電源方式のひとつであり、複数段の放電回路の出力電圧を、磁性体コアの二次側で重畳し、段数倍の高電圧パルスを得るものである [1]。また、1 段あたりの放電回路の並列数を増やすことで、大電流の出力が可能となる。その動作原理から、「インダクション・リニアックの電子回路版」と理解することもできる。LTD の大きな特徴のひとつは、磁性体コアによって形成される 1:1 のトランスを介して電圧が出力されるため、全ての段は接地電位にあり、各段への給電や制御を考えたときに、絶縁設計が不要になるという点である。また、各段の放電タイミングを調整することで、ns オーダー

で波形を制御することが可能な”スマートパルスパワー電源”である。

2. 半導体キッカー電源用 LTD 回路

これまで当社では、J-PARC RCS 向けの半導体キッカー電源として、1.2 kV の SiC MOSFET を用いた LTD 回路を開発してきた [2,3]。その要求仕様を Table 1 に示す。

本 LTD は、次に述べる 2 つの大きな特徴を有している (Fig. 2)。まずは、ドループ補正システムである。本 LTD では、0.8 kV/2 kA を出力する「主回路基板」を 52 枚積み重ねることで、40 kV/2 kA を得る。この主回路全体の静電容量 C は約 1.7 μF であり、Eq. (1) より、3.5% 程度の電圧ドループ ΔV が発生する。

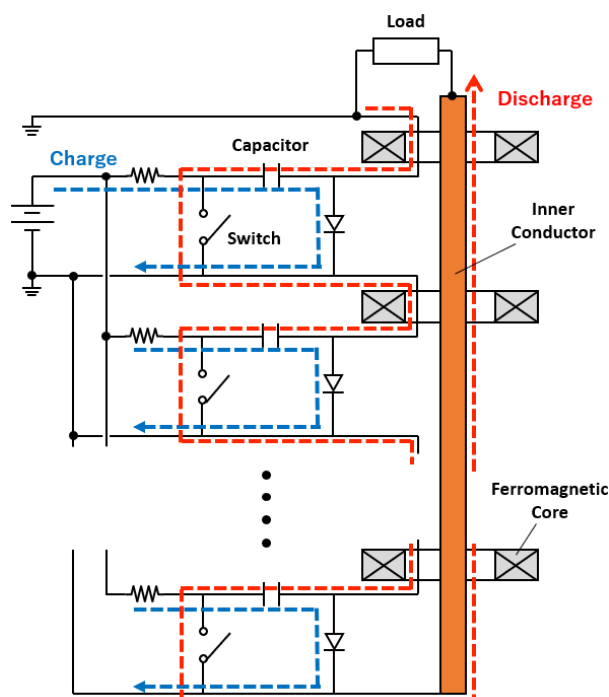


Figure 1: A schematic of a LTD circuit.

* ikoma@myppj.com

$$\Delta V = \frac{\int I dt}{C} \quad (1)$$

ここで、 I は出力電流である。

このドループを補正するのが、最大 100 V までの比較的低い電圧を出力する 20 枚の「補正回路基板」である。補正回路の充電電圧（20 枚一括）と動作タイミング（個別設定可）を調整して、時間的に上昇する電圧波形を生成し、主基板の波形に重畳することで、平坦度 $\pm 1\%$ を実現する。

もうひとつは、反射吸収回路である。本 LTD は誘導負荷に対して使用されるため、電力の反射を受ける。この電力を吸収するために、全ての主回路は反射吸収回路を内蔵しており、既存のキッカー電源におけるエンドクリップの役割を担う。反射吸収回路はスイッチと抵抗で構成され、反射波が返ってくるタイミングはスイッチが ON しており、反射波を抵抗に導いて吸収する。反射電力は 2.4 kW に達するが、反射吸収抵抗も主回路基板にわたって分散されているため、1 つ 1 つは 2 W のサージ抵抗で済む。

さて、RCS のキッカー電源を全て半導体化するには、これまで開発してきた LTD 電源が 32 台必要となるが、1 台当たり 2,000 個以上もの SiC MOSFET を使用する点が、LTD の実用化・量産化に向けた大きな課題となっていた。

Table 1: Requirements for the RCS Kicker PS

Output voltage	40 kV
Output current	2 kA
Pulse width	1200 ns
Rise time	250 ns
Flatness	$\pm 1.0\%$
Frequency	25 Hz
Stability	$\pm 0.5\%$

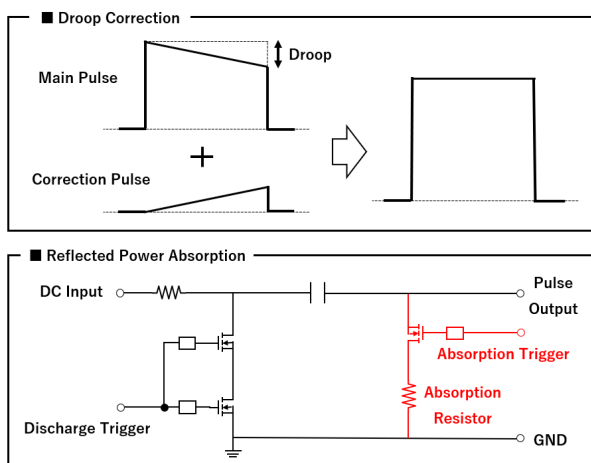


Figure 2: Features of the LTD for the RCS kicker PS.

そこで、主回路の SiC MOSFET を従来よりも高耐圧な 1.7 kV モデルに変更することで、SiC MOSFET の個数削減、ならびに電源システムの小型化を目指した。

3. 新型 LTD 回路の開発と評価

従来型と新型の主回路で用いられている、SiC MOSFET の仕様を Table 2 に示す。主回路基板 1 枚当たりの充電電圧を 800 V から 1,350 V に上げることで、主基板の枚数を 52 枚から 32 枚に削減した。併せて、SiC MOSFET のオン抵抗、立上り時間の電流依存性の評価結果 [4] に基づき、主回路基板 1 枚当たりの回路の並列数も 15 から 8 に削減した。FET 1 つ当たりの電流が増加しても、速い立上り時間を得るために、FET はケルビンソース付きの 4 pin のモデルを採用した。以上より、FET の使用数を 67% 削減した。

新たに開発した主回路基板を Fig. 3 に示す。基板当たりの素子数が減ったことで集積度が下がっており、この空いたスペースを利用してパターン絶縁距離を確保することで、高電圧化に対応した。

また主基板のコアの寸法も変更した。LTD では、コアが飽和しない領域で動作させる必要があるため、出力電圧 V の時間積分は、Eq. (2) のようにコアの断面積 S と飽和磁束密度 B_{sat} の積で制限される。

Table 2: Specifications of SiC MOSFETs

	Conventional Model	New Model
Manufacturer	ROHM	CREE
Model	SCT3030KL	C2M0045170P
V_{DS} [V]	1,200	1,700
R_{ON} [$m\Omega$]	30	45
I_D [A]	72	72
$I_{D,pulse}$ [A]	180	160
Rise time [ns]	42	13
Fall time [ns]	29	10

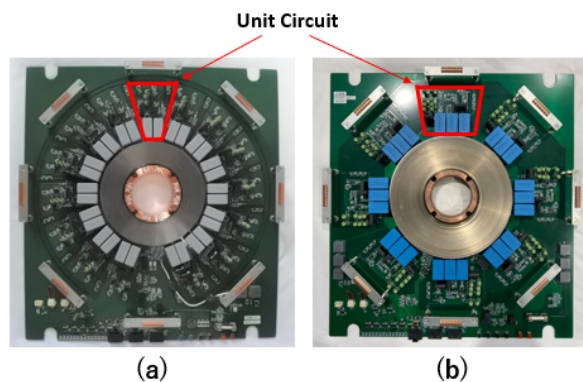


Figure 3: Pictures of main boards. (a) Conventional model. (b) New model.

Table 3: Difference between Conventional and New LTD Power Supply

	Conventional Model	New Model
Charging voltage of a main board [V]	800	1,350
Number of main boards	52	32
Unit circuit per one main board	15	8
Number of SiC MOSFETs	2,340	768
Core size (OD×ID×H) [mm]	154×90×25	192×90×30
Total height [mm]	2,020	1,480

$$\int V dt < SB_{sat} \quad (2)$$

新型主回路では、1枚当たりの出力電圧が増加したのに伴い、コアの断面積も約1.9倍に変更した。

従来型と新型の主な変更点を Table 3 にまとめる。また、LTD 電源の全体像を Fig. 4 に示す。主基板と補基板を合わせて高さ 2 m を超えていた従来型に比べ、540 mm 短尺化された。

次に、出力端（内導体の最上部）とアースの間に 20 Ω の模擬負荷抵抗を接続し、単発での定格出力試験を行った。出力電圧は、出力端を高電圧プローブ（岩崎通信機, HV-P60）で測定し、出力電流は、内導体の最下部に CT（Pearson, 110）を設置して測定した。

従来型に対して、主回路を 795 V、補正回路を 100 V でそれぞれ充電し、1.5 μs のトリガを入力したときの出力電圧・電流波形を Fig. 5 に示す [2]。これに対し、Fig. 6 は新型の出力波形を示しており、試験条件は、主回路を 1350 V、補正回路を 40.9 V、トリガ 1.2 μs である。試験結果のまとめを Table 4 に示す。新型 LTD では、出力電流、平坦度ともに、要求仕様を満たしているだけでなく、従来型よりも約 80 ns 速い立上り時間が得られた。これは、高速の FET の採

用、および電源の短尺化によるインダクタンスの低減による効果が考えられる。

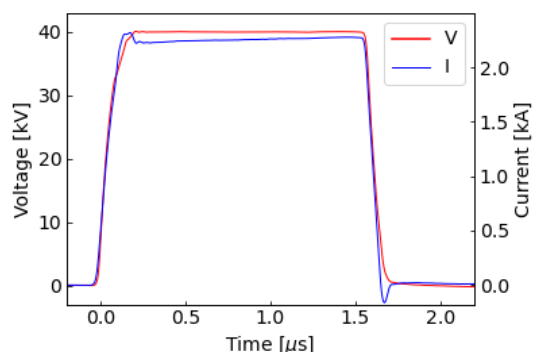


Figure 5: Output waveform of conventional LTD power supply. [2]

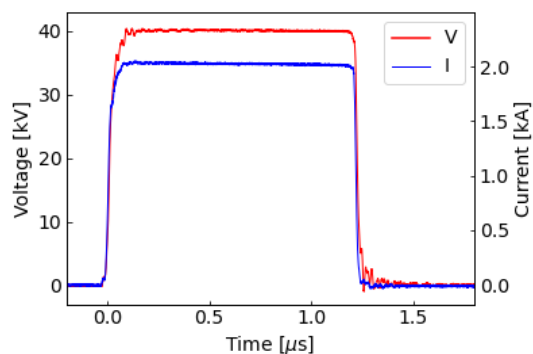


Figure 6: Output waveform of new LTD power supply.

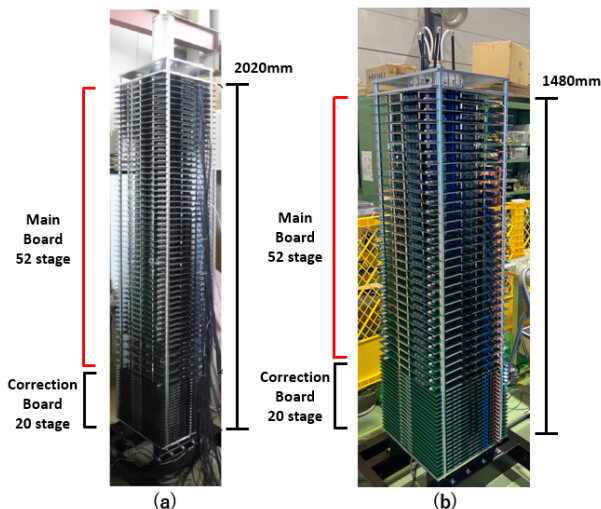


Figure 4: Overview of the LTD power supply. (a) Conventional model. (b) New model.

Table 4: Results of Single-shot Test with Dummy Loads

	Conventional Model	New Model
Output voltage [kV]	40	40
Output current [kA]	2.2	2.0
Rise time [ns]	140	60
Flatness	±0.13 %	±0.67 %

4. まとめと今後の予定

半導体キッカー電源の量産化を目指し、1.7 kV の高速 SiC MOSFET を採用することで素子数を可能な限り削減した、新型 LTD 回路を開発した。これにより、SiC MOSFE 使用数の 67% 削減、電源の 540 mm 短尺化が達成された。また、20 Ω 模擬負荷抵抗に対し、定格電圧 40 kV を出力した。FET 1 個当たりの電流は従来型から増加しており、より厳しい動作条件となっているにもかかわらず、要求仕様を満たしていることを確認した。さらに、高速の FET の採用、電源の短尺化によるインダクタンス低減により、約 80 ns の立上り時間高速化という効果も得られた。以上より、小型・高速な LTD 電源を実現した。

今後は、25 Hz での連続運転時の安定度や、電源全体の電力効率を測定する予定である。

参考文献

- [1] W. Jiang *et al.*, J. Plasma Fusion Res. Vol.94, No.4 (2018) 192-196.
- [2] Y. Mushibe *et al.*, Proceedings of the 17th Annual Meeting of Particle Accelerator Society of Japan, Online, Japan, Sep. 2-4, 2020, THPP44.
- [3] T. Takayanagi *et al.*, Proceedings of the 17th Annual Meeting of Particle Accelerator Society of Japan, Online, Japan, Sep. 2-4, 2020, WEOO04.
- [4] N. Ikoma *et al.*, Proceedings of the 17th Annual Meeting of Particle Accelerator Society of Japan, Online, Japan, Sep. 2-4, 2020, THPP43.