

13kV SiC- MOSFET を用いた高電圧パルス電源の開発 DEVELOPMENT OF HIGH VOLTAGE PULSED POWER SUPPLY USING 13kV SiC- MOSFET

中田恭輔^{#, A)}, 徳地明^{A)}, 東使潔^{B)}, 小林進二^{B)}

Kyosuke Nakata^{#, A)}, Akira Tokuchi^{A)}, Kiyoshi Tohshi^{B)}, Shinji Kobayashi^{B)}

^{A)} Pulsed Power Japan Laboratory Ltd. (PPJ)

^{B)} Kyoto University

Abstract

In fusion researches and accelerator researches, vacuum tubes such as thyratrons and tetrodes have been widely used for high-voltage pulse power supplies. But these devices have many problems such as short life and reduced production, and so on. In order to solve these problems and sustain these researches, we have been developing a high-voltage pulsed power supply using SiC-MOSFETs with a very high rated voltage of 13 kV. The recent status of development is reported.

1. はじめに

加速器研究や核融合研究において、高電圧大電力を出力するパルス電源を必要とするものが多い。このような出力電圧数十 kV、出力電流数百 A オーダーの電源にはサイクロトロンや四極管といった真空管が広く用いられている。真空管は半導体と比較して高耐圧や高速な立ち上がりといったメリットもあるが、寿命があり特性が変動するデメリットもある。また、近年真空管の生産量が低下し入手し辛くなっているため、現在は寿命が半永久的な半導体に置き換えようとする動きが強まってきている。

Heliotron J 装置は、京都大学エネルギー理工学研究所附属エネルギー複合機構研究センターで稼働している中型の先進ヘリカル系プラズマ実験装置である[1]。

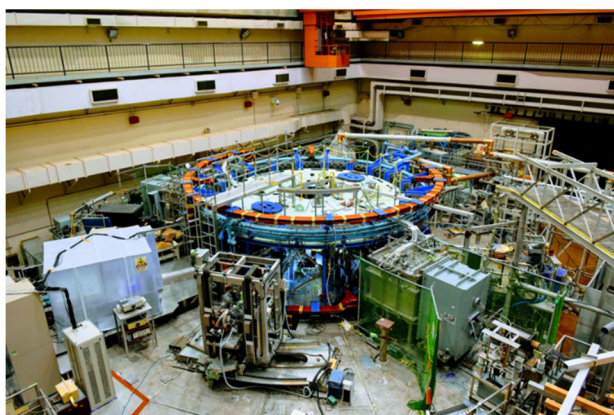


Figure 1: Heliotron J.

本装置の NBI 加速電源、減速電源に出力電圧の制御ため用いられている四極管が製造中止となった。この加速電源、減速電源を独立行政法人産業技術総合研究所の開発した 13 kV SiC-MOSFET と 13 kV SiC-SBD を用いて半導体化を試みたので本項にて報告する。

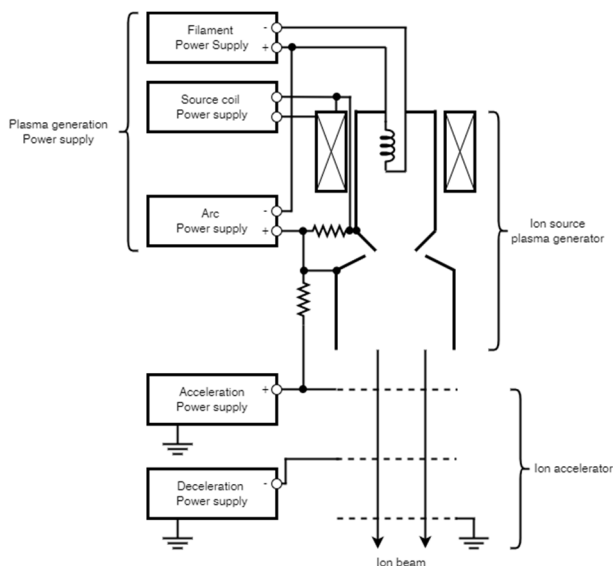


Figure 2: NBI power supply configuration.

2. 半導体減速電源の開発

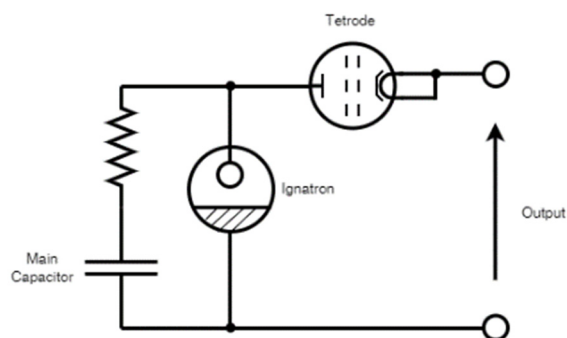
四極管を用いている減速電源(以下現行機)の外観と内部の回路図を Fig. 3 に示す。現行機は外部の高圧直流電源より、内部のメインコンデンサを充電したあと、四極管を用いたシリーズレギュレータ方式にて出力電圧を制御する。四極管にて生じた電圧降下は全て熱となるため、四極管を水冷する必要があった。この四極管を半導体化した、半導体減速電源の外観と回路図を Fig. 4 に示す。また、現行機との性能比較表を Table 1 に示す。半導体減速電源は 13 kV SiC-MOSFET と 13 kV SiC-SBD を用いることで、スイッチングレギュレータ方式にて出力電圧を制御する。シリーズレギュレータ方式と比較して損失が少なく、空冷にて定格運転が可能となった。

模擬抵抗負荷に定格の 3 kV 12 A を 200 ms 出力した時の波形を Fig. 5 に示す。要求仕様である出力電圧 3 kV 以上や出力電流 12 A 以上を満たしており、フラットトップの平坦度は±0.5%以下となった。

[#] nakata@myppj.com



(a) Appearance of current deceleration power supply

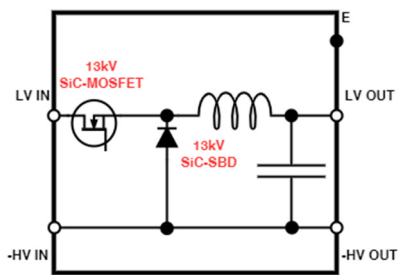


(b) Schematic of the current deceleration power supply

Figure 3: Current deceleration power supply.



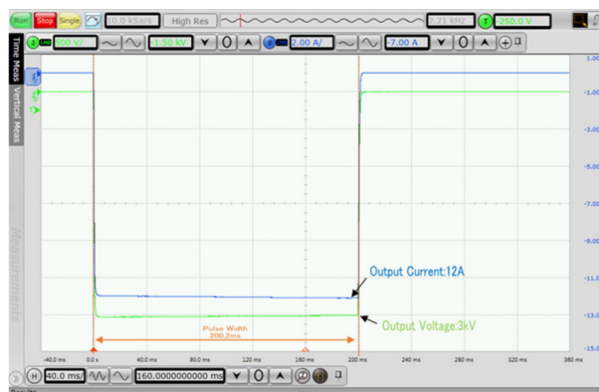
(a) Appearance of New deceleration power supply



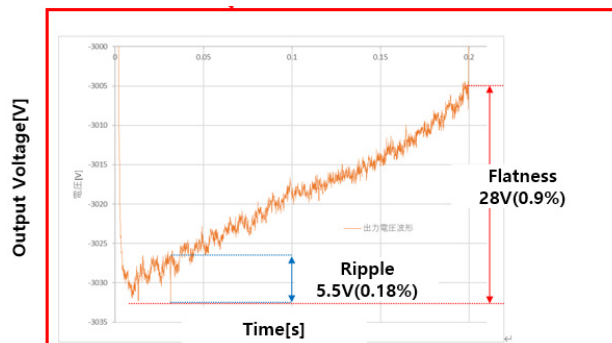
Semiconductor Switches for Deceleration Power Supply

(b) Schematic of the New deceleration power supply

Figure 4: New deceleration power supply.



(a) Output voltage and current waveforms to resistive load



(b) Enlarged view of output voltage waveform to resistive load

Table 1: Deceleration Power Supply Performance Comparison

	Current	New
Input Voltage	-6 kV	
Output Voltage	-3 kV	
Output Current	12 A	
Pulse Width	200 ms	
Peak Power	36 kW	
Pulse Energy	7.2 kJ	
Rep. Period	3 minutes	
Control Device	Tetrode	13 kV SiC-MOSFET
Control Method	Series Regulator	Switching Regulator
Efficiency	Lower	Higher
Cooling	Water	Air
Size	Larger	Smaller

Figure 5: Output voltage waveform of new deceleration power supply.

3. 半導体加速電源の開発

四極管を用いている加速電源(以下現行機)の外観を Fig. 6 に示す。内部の回路図は基本的に減速電源と同じであるが、Table 2 の性能表に示す通り出力電圧や出力電流が減速電源よりも大きくなっている。現行機の四極管を半導体化した、半導体加速電源の外観と回路図を Fig. 7 に示す。半導体加速電源も半導体減速電源と同様に 13 kV SiC-MOSFET と 13 kV SiC-SBD を用いることで、スイッチングレギュレータ方式にて出力電圧を制御する。ただし、定格入力電圧+50 kV に対して十分な耐圧が必要のため 13 kV SiC-MOSFET と 13 kV SiC-SBD を 6s に接続している。また、その 6s にした高圧基板を 10p かつ位相を 1/10 ずらしてスイッチングを行うことで実効的にスイッチング周波数を高めている。これは、高圧基板 1 枚当たりの負担電流を減らすほか、出力電圧のリプル低下や出力の LC フィルタの定数を小さくする狙いがある。LC フィルタの定数が小さくなると、加速管短絡時に短絡箇所に入力されるエネルギーが小さくなるため、加速管の損傷が少なくなる。

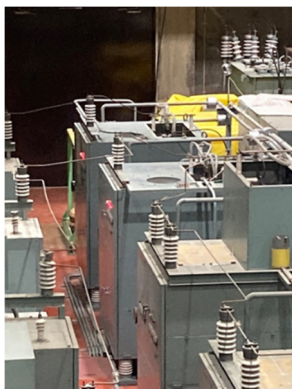


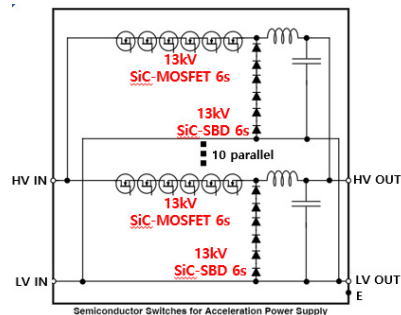
Figure 6: Current acceleration power supply.

Table 2: Acceleration Power Supply Performance Comparison

	Current	New
Input Voltage		+50 kV
Output Voltage		+30 kV
Output Current		100 A
Pulse Width		200 ms
Peak Power		3 MW
Pulse Energy		600 kJ
Rep. Period		3 minutes
Control Device	Tetrode	13 kV SiC-MOSFET
Control Method	Series Regulator	Switching Regulator
Efficiency	Lower	Higher
Cooling	Water	Air
Size	Larger	Smaller



(a) Appearance of New Acceleration power supply



(b) Schematic of the New Acceleration power supply

Figure 7: New Acceleration power supply.

低い充電電圧にて模擬抵抗負荷へ半導体加速電源の出力試験を行った際の試験結果を Fig. 8 に示す。高圧基板 10p の位相をそれぞれ 1/10 ずつずらすことでリプルの低減や出力電圧の制御ができることを確認した。

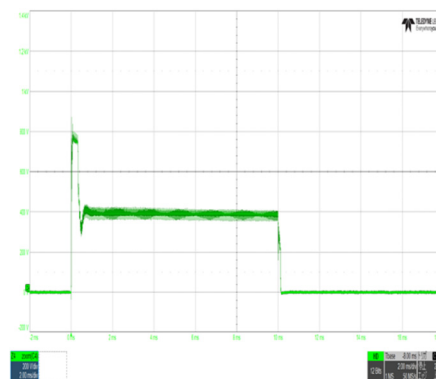


Figure 8: Output voltage waveform of new acceleration power supply.

4. まとめと今後の展望

Heliotron J 向け NBI 電源装置の加速電源と減速電源を 13 kV SiC-MOSFET と 13 kV SiC-SBD を用いて半導体化し模擬抵抗負荷への出力を確認した。今後、減速電源、加速電源共にさらなる検討を重ね、実負荷運転を行う予定である。

謝辞

本研究の一部は、共同研究体「つくばパワーエレクトロニクスコンステレーション(TPEC)」の事業として行われた。また、共同研究を行って頂いた京都大学エネルギー理工学研究所の方々に感謝の意を表す。

参考文献

- [1] K. Nagasaki *et al.*, “Heliotron J 実験”, J. Plasma Fusion Res., Vol.96, No.9, pp. 475-518, 2020.